

# AT91SAM9261 中文数据手册

Rev 1.08.26

Based on 6062G-ATARM-13-Mar-07

翻译: Quillan (QQ: 289011331)

校对: 微控电子(<http://www.mcuzone.com>)

发布: <http://www.mcuzone.com> <http://www.ATARM.com>

## 特点

- 融合了 ARM926EJ-S™ ARM® Thumb® 处理器
  - 扩展 DSP 指令
  - ARM Jazelle 技术提供了 Java 加速功能
  - 16K 字节数据缓存, 16K 字节指令缓存, 写缓冲器
  - 工作于 190 MHz 时性能高达 210 MIPS
  - 存储器管理单元
  - 嵌入式 ICE , 支持调试信道
  - 中等规模的嵌入式宏单元结构
- 附加的嵌入式存储器
  - 32K 字节片内 ROM,最大总线速率下单周期访问
  - 160K 字节片内 SRAM, 最大处理器或总线速率下单周期访问
- 外部总线接口 (EBI)
  - 支持 SDRAM, 静态存储器, NAND Flash 和 CompactFlash
- LCD 控制器
  - 支持被动或主动显示
  - 在 STN 彩色模式下达 16 位深每像素
  - 在 TFT 模式下达 16 M 色 (24 位深每像素), 分辨率高达 2048\*2048
- USB
  - USB 2.0 全速 (12M 位每秒) 主机双端口
    - 双重片上收发器
    - 集成 FIFOs 和专用 DMA 通道
  - USB 2.0 全速 (12M 位每秒) 设备端口
    - 片上收发器, 2K 字节可配置的集成 FIFOs
- 总线矩阵
  - 管理五个主控和五个从控
  - 启动模式选择选项
  - Remap 命令
- 全特征系统控制器(SYSC)提供了有效系统管理, 包括
  - 复位控制器, 掉电控制器, 支持总共 16 字节的四个 32-bit 电池备份寄存器
  - 时钟发生器和功率管理控制器
  - 先进的中断控制器和调试部件
  - 周期间隔定时器, 看门狗定时器和实时定时器
  - 三个 32 位 PIO 控制器
- 复位控制器(RSTC)
  - 基于上电复位的单元, 复位源辨认和复位输出控制
- 掉电控制器(SHDWC)
  - 可编程掉电引脚控制和唤醒电路
- 时钟发生器(CKGR)
  - 电池备份电源上的 32.768KHz 低功率振荡器, 提供一个永久的慢速时钟
  - 3 到 20MHz 的片上振荡器和两个 PLL
- 功率管理控制器(PMC)

- 超慢速时钟操作模式，软件可编程功率优化能力
- 四个可编程外部时钟信号
- 先进的终端控制器(AIC)
  - 可单独屏蔽的，8级优先级，向量中断源
  - 三个外部中断源和一个快速中断源，伪中断保护
- 调试部件(DBGU)
  - 2线 USART 兼容接口，可通过编程禁止通过 ICE 访问
- 周期间隔定时器(PIT)
  - 20位间隔定时器加12位间隔计数器
- 看门狗定时器(WDT)
  - 受预设值保护的、一次性可编程的、运行在慢速时钟的12位窗口计数器
- 实时定时器(RTT)
  - 运行于慢速时钟的32位自由运行的(备份)计数器
- 三个32位并行输入/输出控制器(PIO)PIOA,PIOB和PIOC
  - 96可编程I/O口线多路复用支持达两个外设I/O口
  - 在每个I/O口线上具有输入改变中断能力
  - 单独得可编程开漏，上拉电阻和同步输出
- 19个外设DMA通道(PDC)
- 多媒体卡接口(MCI)
  - 支持SD卡和MultiMediaCard(MMC卡)
  - 自动协议控制,通过PDC与MMC和SD卡进行快速自动数据传输
- 三个同步串行控制器(SSC)
  - 每个接收器和发送器都具有独立的时钟和帧同步信号
  - 支持IIS模拟接口，支持时分多路复用
  - 支持32位数据传输的高速连续数据流功能
- 三个通用同步/异步收发器(USART)
  - 独立的波特率发生器，IrDA红外调制/解调
  - 支持ISO7816 T0/T1智能卡，硬件和软件握手信号，支持RS485
- 两个主/从串行外设接口(SPI)
  - 8到16位可编程数据长度，四个外部外设片选
- 一个三通道16位定时器/计数器(TC)
  - 三个外部时钟输入，每个通道有两个多用途I/O引脚
  - 倍速PWM发生功能，捕捉波形模式，递增/递减计数功能
- 一个两线接口(TWI)
  - 支持主控模式，支持所有两线AtmelEEPROM
- IEEE 1149.1 JTAG边界扫描,可以支持所有数字引脚
- 电源
  - 为VDDCORE和VDDDBU提供1.08V到1.32V电压
  - 为VDDOSC和VDDPLL提供3.0V到3.6V电压
  - 为VDDIOP(外设I/O口)提供2.7V到3.6V电压
  - 为VDDIOM(存储器I/O口)提供1.65V到1.95V和3.0V到3.6V电压
- 符合RoHS的217球的LFBGA封装

## 一. 描述

AT91SAM9261 是以 ARM926EJ-S ARM Thumb 处理器为核心的完全的片上系统，它扩展了 DSP 指令集和 Jazelle Java 加速器。主时钟频率 190MHz 时性能高达 210 MIPS

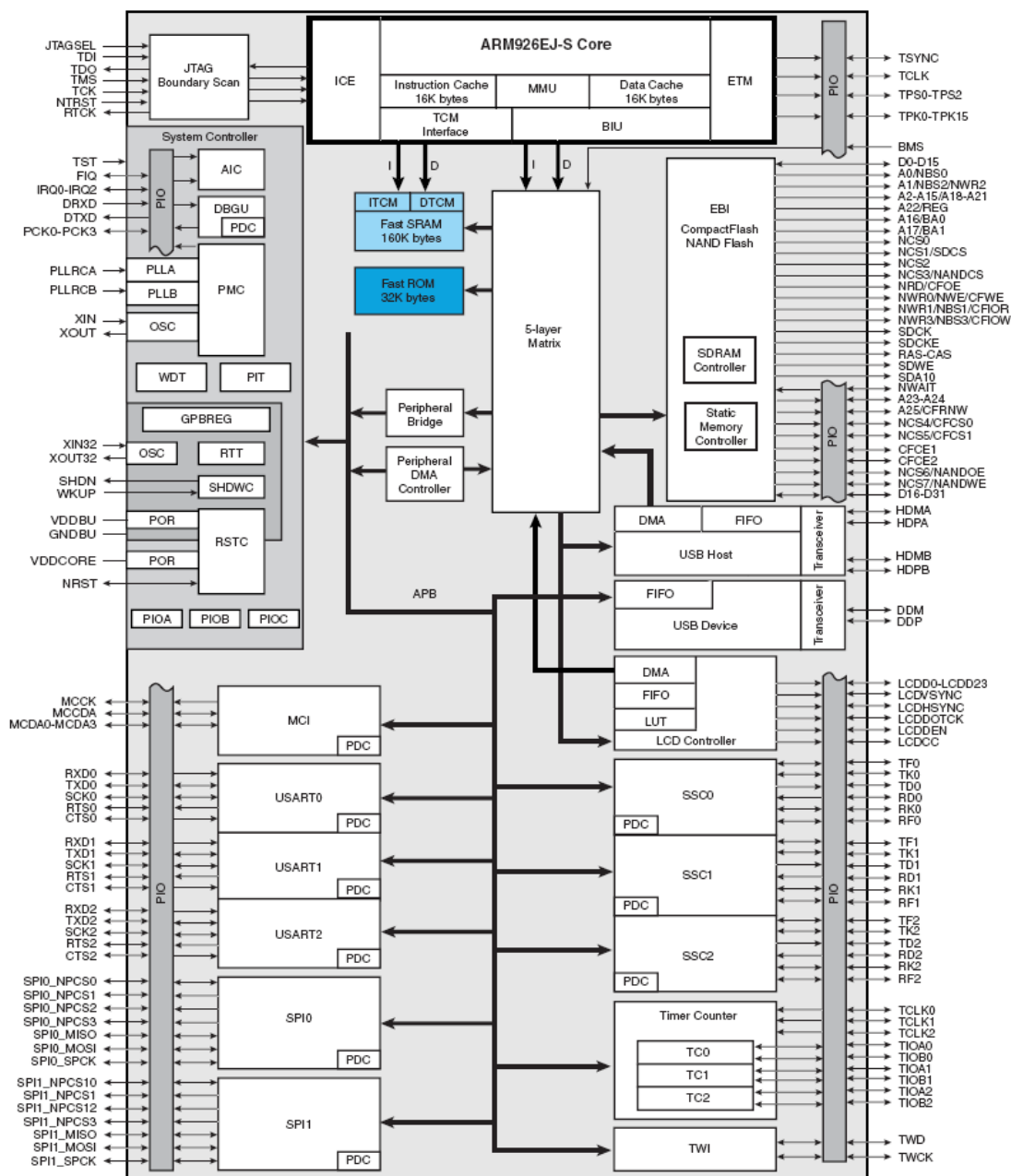
AT91SAM9261 是一个为带 LCD 显示应用而优化了的主机处理器。它的集成 LCD 控制器支持 BW 而且达到 16M 色彩，主动和被动 LCD 显示。160K 字节的片上 SRAM 可配置为帧缓冲，能将 LCD 刷新对整体处理器性能上的影响减到最小。外部总线接口包括支持同步 DRAM (SDRAM) 和支持静态存储器的控制器，并有特殊接口电路以支持 CompactFLASH、NAND Flash。

AT91SAM9261 集成了一个支持影射的基于 ROM 的 Boot loader, 例如, 从外部 DataFlash 影射到外部 SDRAM。由软件控制的功率管理控制器(PMC)通过有选择的启用和关闭处理器、各种外设和工作频率的调解能使系统功率损耗保持最小。

AT91SAM9261 还集成了宽范围的调试特性。包括 JTAG-ICE, 一个专用的 UART 调试通道(DBGU)和嵌入式实时追踪。这使所有应用的调试和开发，特别是严格要求实时性的应用得以实现。

## 二. 方框图

图 2-1. AT91SAM9261 方框图



### 三. 信号描述

表 3-1.信号描述列表

信号名称	功能	类型	有效电平	备注
电源				
VDDIOM	EBI I/O 口线电源	电源		1.65V-1.95V,3.0V-3.6V
VDDIOP	外设 I/O 口线电源	电源		2.7V-3.6V
VDDDBU	备份 I/O 口线电源	电源		1.08V-1.32V
VDDPLL	PLL 电源	电源		3.0V-3.6V
VDDOSC	振荡器电源	电源		3.0V-3.6V
VDDCORE	内核电源	电源		1.08V-1.32V
GND	地	地		
GNDPLL	PLL 地	地		
GNDOSC	振荡器地	地		
GNDDBU	备份电源地	地		
时钟，振荡器和 PLL				
XIN	主振荡器输入	输入		
XOUT	主振荡器输出	输出		
XIN32	慢速时钟振荡器输入	输入		
XOUT32	慢速时钟振荡器输出	输出		
PLLRC A	PLL 滤波器	输入		
PLLRC B	PLL 滤波器	输入		
PCK0-PCK3	可编程时钟输出	输出		
掉电，唤醒逻辑				
SHDN	掉电控制	输出		不要和 VDDDBU 接一起
WKUP	唤醒输入	输入		接受 0V-VDDDBU
ICE 和 JTAG				
TCK	测试时钟	输入		无上拉电阻
RTCK	返回的测试时钟	输出		无上拉电阻
TDI	测试数据输入	输入		无上拉电阻
TDO	测试数据输出	输出		
TMS	测试模式选择	输入		无上拉电阻
NTRST	测试复位信号	输入	低电平	上拉电阻
JTAGSEL	JTAG 选择	输入		下拉电阻，识别电压 0V-VDDDBU
ETM				
TSYNC	追踪同步信号	输出		
TCLK	追踪时钟	输出		
TPS0-TPS2	追踪 ARM 管道状态	输出		
TPK0-TPK15	追踪信息包端口	输出		

表 3-1.信号描述列表（续）

信号名称	功能	类型	有效电平	备注
复位/测试				
NRST	微控制器复位	I/O	低电平	上拉电阻
TST	测试模式选择	输入		下拉电阻
BMS	启动模式选择	输入		
调试部件				
DRXD	调试数据接收	输入		
DTXD	调试数据发送	输出		
AIC				
IRQ0-IRQ2	外部中断输入	输入		
FIQ	快速中断输入	输入		
PIO				
PA0-PA31	并行 IO 控制器 A	I/O		复位上拉输入
PB0-PB31	并行 IO 控制器 B	I/O		复位上拉输入
PC0-PC31	并行 IO 控制器 C	I/O		复位上拉输入
EBI				
D0-D31	数据总线	I/O		复位上拉输入
A0-A25	地址总线	输出		复位 0
NWAIT	外部等待信号	输入	低电平	
SMC				
NCS0-NCS7	片选线	输出	低电平	
NWR0-NWR3	写信号	输出	低电平	
NRD	读信号	输出	低电平	
NWE	写使能	输出	低电平	
NBS0-NBS3	字节屏蔽信号	输出	低电平	
CompactFlash 支持				
CFCE1-CFCE2	CompactFlash 芯片使能	输出	低电平	
CFOE	CompactFlash 输出使能	输出	低电平	
CFWE	CompactFlash 写使能	输出	低电平	
CFIOR	CompactFlash IO 读	输出	低电平	
CFIOW	CompactFlash IO 写	输出	低电平	
CFRNW	CompactFlash 只读	输出	低电平	
CFCS0-CFCS1	CompactFlash 片选	输出	低电平	
NAND Flash 支持				
NANDOE	NAND Flash 输出使能	输出	低电平	
NANDWE	NAND Flash 写使能	输出	低电平	
NANDCS	NAND Flash 片选	输出	低电平	

表 3-1.信号描述列表(续)

信号名称	功能	类型	有效电平	备注
<b>SDRAM 控制器</b>				
SDCK	SDRAM 时钟	输出		
SDCKE	SDRAM 时钟使能	输出	高电平	
SDCS	SDRAM 控制器片选	输出	低电平	
BA0-BA1	Bank 选择	输出		
SDWE	SDRAM 写使能	输出	低电平	
RAS-CAS	行列信号	输出	低电平	
SDA10	SDRAM 地址 10	输出		
<b>多媒体卡接口</b>				
MCCK	多媒体卡时钟	输出		
MCCDA	多媒体卡 A 命令	I/O		
MCDA0-MCDA3	多媒体卡 A 数据	I/O		
<b>USART</b>				
SCK0-SCK2	串行时钟	I/O		
TXD0-TXD2	数据传送	输出		
RXD0-RXD2	数据接收	输入		
RTS0-RTS2	发送请求	输出		
CTS0-CTS2	发送清零	输入		
<b>同步串行控制器</b>				
TD0-TD2	传输数据	输出		
RD0-RD2	接收数据	输入		
TK0-TK2	传输时钟	I/O		
RK0-RK2	接收时钟	I/O		
TF0-TF2	传输帧同步	I/O		
RF0-RF2	接受帧同步	I/O		
<b>定时器/计数器</b>				
TCLK0-TCLK2	外部始钟输入	输入		
TIOA0-TIOA2	I/O 口线 A	I/O		
TIOB0-TIOB2	I/O 口线 B	I/O		
<b>SPI</b>				
SPI0_MISO- SPI1_MISO	主输入从输出	I/O		
SPI0_MISO- SPI1_MISO	主输出从输入	I/O		
SPI0_SPCK- SPI1_SPCK	SPI 串行时钟	I/O		

表 3-1.信号描述列表(续)

信号名称	功能	类型	有效电平	备注
SPI0_NPCS0- SPI1_NPCS0	SPI 外设片选 0	I/O	低电平	
SPI0_NPCS1- SPI0_NPCS3 SPI1_NPCS1- SPI_NPCS3	SPI 外设片选	输出	低电平	
2-Wire 接口 (IIC)				
TWD	2-Wire 串行数据	I/O		
TWCK	2-Wire 串行时钟	I/O		
LCD 控制器				
LCDD0-LCDD23	LCD 数据总线	输出		
LCDVSYNC	LCD 垂直同步	输出		
LCDHSYNC	LCD 水平同步	输出		
LCDDOTCK	LCD 点阵数据时钟	输出		
LCDDEN	LCD 数据使能	输出		
LCDCC	LCD 对比度控制	输出		
USB 设备端口				
DDM	USB 设备端口数据-	模拟		
DDP	USB 设备端口数据+	模拟		
USB 主机端口				
HDMA	USB 主机端口 A 数据-	模拟		
HDPA	USB 主机端口 A 数据+	模拟		
HDMB	USB 主机端口 B 数据-	模拟		
HDPB	USB 主机端口 B 数据+	模拟		

## 四 封装和引脚排列

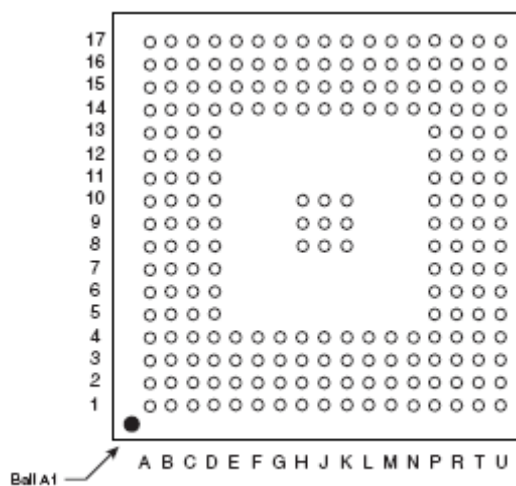
AT91SAM9261 是一个符合 RoHS 的 217 球的 LFBGA 封装，15\*15mm，0.8mm 的焊球间距

### 4.1 217-球 LFBGA 封装轮廓

图 4-1 217-球 LFBGA 封装的定位。

具体的机械描述在产品数据手册的“AT91SAM9261 机械特性”一章中有介绍

图 4-1. 217-球 LFBGA 封装轮廓(正面俯视)



## 4.2 引脚排列

表 4-1. AT91SAM9261 引脚排列(217-球 LFBGA 封装)

Pin	Signal Name	Pin	Signal Name	Pin	Signal Name	Pin	Signal Name
A1	A19	D5	VDDCORE	J14	VDDIOP	P17	PA20
A2	A16/BA0	D6	A10	J15	PB9	R1	PC19
A3	A14	D7	A5	J16	PB6	R2	PC21
A4	A12	D8	A0/NBS0	J17	PB4	R3	GND
A5	A9	D9	SHDN	K1	D6	R4	PC27
A6	A6	D10	NC	K2	D8	R5	PC29
A7	A3	D11	VDDIOP	K3	D10	R6	PC4
A8	A2	D12	PB29	K4	D7	R7	PC8
A9	NC	D13	PB28	K8	GND	R8	PC12
A10	XOUT32	D14	PB23	K9	GND	R9	PC14
A11	XIN32	D15	PB20	K10	GND	R10	VDDPLL
A12	DDP	D16	PB17	K14	VDDCORE	R11	PA0
A13	HDPB	D17	TCK	K15	PB3/BMS	R12	PA7
A14	HDMA	E1	NWR1/NBS1/CFIOW	K16	PB1	R13	PA10
A15	PB27	E2	NWR0/NWE/CFWE	K17	PB2	R14	PA13
A16	GND	E3	NRD/CFOE	L1	D9	R15	PA17
A17	PB24	E4	SDA10	L2	D11	R16	GND
B1	A20	E14	PB22	L3	D12	R17	PA18
B2	A18	E15	PB18	L4	VDDIOM	T1	PC20
B3	A15	E16	PB15	L14	PA30	T2	PC23
B4	A13	E17	TDI	L15	PA27	T3	PC26
B5	A11	F1	SDCKE	L16	PA31	T4	PC2
B6	A7	F2	RAS	L17	PB0	T5	VDDIOP
B7	A4	F3	NWR3/NBS3/CFIOW	M1	D13	T6	PC5
B8	A1/NBS2/NWR2	F4	NCS0	M2	D15	T7	PC9
B9	VDDBU	F14	PB16	M3	PC18	T8	PC10
B10	JTAGSEL	F15	NRST	M4	VDDCORE	T9	PC15
B11	WKUP	F16	TDO	M14	PA25	T10	VDDOSC
B12	DDM	F17	NTRST	M15	PA26	T11	GNDOSC
B13	PB31	G1	D0	M16	PA28	T12	PA1
B14	HDMA	G2	D1	M17	PA29	T13	PA4
B15	PB26	G3	SDWE	N1	D14	T14	PA6
B16	PB25	G4	NCS3/NANDCS	N2	PC17	T15	PA8
B17	PB19	G14	PB14	N3	PC31	T16	PA11
C1	A22	G15	PB12	N4	VDDIOM	T17	PA14
C2	A21	G16	PB11	N14	PA22	U1	PC25
C3	VDDIOM	G17	PB8	N15	PA21	U2	PC0
C4	A17/BA1	H1	D2	N16	PA23	U3	PC3
C5	VDDIOM	H2	D3	N17	PA24	U4	GND
C6	A8	H3	VDDIOM	P1	PC16	U5	PC6
C7	GND	H4	SDCK	P2	PC30	U6	VDDIOP
C8	VDDIOM	H8	GND	P3	PC22	U7	GND
C9	GND	H9	GND	P4	PC24	U8	PC13
C10	TST	H10	GND	P5	PC28	U9	PLLRCB
C11	GND	H14	PB10	P6	PC1	U10	PLLRCA
C12	HDPA	H15	PB13	P7	PC7	U11	XIN
C13	PB30	H16	PB7	P8	PC11	U12	XOUT
C14	NC	H17	PB5	P9	GNDPLL	U13	PA2
C15	VDDIOP	J1	D4	P10	PA3	U14	PA5
C16	PB21	J2	D5	P11	VDDIOP	U15	PA12
C17	TMS	J3	GND	P12	VDDCORE	U16	PA9
D1	NCS2	J4	CAS	P13	PA15	U17	RTCK
D2	NCS1/SDCS	J8	GND	P14	PA16		
D3	GND	J9	GND	P15	VDDIOP		
D4	VDDIOM	J10	GND	P16	PA19		

注意：1.阴影部分引脚由 VDDIOM 提供电源

## 五 电源事宜

### 5.1 电源

AT91SAM9261 有 6 种类型的电源引脚:

- VDDCORE 引脚: 核心电源, 包括处理器, 存储器和外设; 电压范围从 1.08V 到 1.32V, 额定值 1.2V
- VDDIOM 引脚: 外部总线接口 I/O 口线电源; 电压范围从 1.65V-1.95V 和 3.0V-3.6V, 额定值 1.8V-3.3V
- VDDIOP 引脚: 外设 I/O 口线和 USB 收发器电源; 电压范围 2.7V-3.6V, 额定值 3.3V
- VDDDBU 引脚: 慢速时钟振荡器和部分系统控制器电源; 电压范围 1.08V-1.32V, 额定值 1.2V
- VDDPLL 引脚: PLL 部件电源; 电压范围 3.0V-3.6V, 额定值 3.3V
- VDDOSC 引脚: 主振荡器部件电源; 电压范围 3.0V-3.6V, 额定值 3.3V

VDDIOM 和 VDDIOP 的双电源供应在第 10 页表 4-1 中有介绍。这些电源使得用户能对存储器接口和外设接口设备分配不同的电源。接地引脚 GND 是 VDDCORE, VDDIOM 和 VDDIOP 引脚电源的公共端。VDDDBU, VDDOSC 和 VDDPLL 分别使用了各自的电源地名称。分别为 GNDBU, GNDOSC 和 GNDPLL。

### 5.2 功耗

AT91SAM9261 在 25 摄氏度时在 VDDCORE 上的静态电流损耗大约 550 微安。当温度上升到 85 摄氏度时静态电流上升到 5.5 毫安。在 VDDDBU 上, 25 摄氏度时, 电流不超过 3 微安, 但是 85 摄氏度时能上升到 20 微安。

对于动态功率损耗, AT91SAM9261 在典型条件下(1.2V, 25 摄氏度)以最大速率, 处理器运行在全速运算状态, VDDCORE 电源消耗最大 50 毫安电流。

## 六. I/O 口线事宜

### 6.1 JTAG 端口引脚

TMS, TDI 和 TCK 是施密特触发器输入而且无上拉电阻。

TDO 和 RTCK 是输出, 输出电压可以达到 VDDIOP, 且无上拉电阻。当 JTAGSEL 引脚维持高电平(接到 VDDDBU)时被用作 JTAG 边界扫描。此引脚集成了一个连接于 GNDBU 的 15K 欧姆的下拉电阻。所以在正常运行时可以悬空。

当 NTRST 引脚维持低电平时被用来初始化嵌入式 ICE TAP 控制器。此引脚集成了一个连接到 VDDIOP 的 15K 欧姆上拉电阻, 所以正常运行时可以悬空。

## 6.2 测试引脚

当测试引脚(TST)维持高电平(有效)时被用作生产测试目的。此引脚集成了一个连接于 GNDBU 的 15K 欧姆的永久上拉电阻，所以正常运行时可以悬空。当以高电平驱动此引脚时将导致难以预料的结果。

## 6.3 复位引脚

NRST 是一个集成了一个不可编程的上拉电阻的开漏输出。输出电压可以达到 VDDIOP。由于 9261 集成了上电复位单元，当没有外部复位电路的情况下，NRST 引脚也可以直接悬空处理。NRST 引脚集成了一个至少为 100K 欧姆的永久上拉电阻并连接到 VDDIOP。

NRST 信号嵌于边界扫描中。

## 6.4 PIO（并行 IO）控制器 A,B 和 C 口线

所有的 I/O 口线 PA0 到 PA31, PB0 到 PB31, 和 PC0 到 PC31 都集成了一个 100K 欧姆可编程的上拉电阻，PIO 控制器可以对每个 I/O 口线的上拉电阻进行控制。

复位后，所有的 I/O 块都缺省为上拉电阻使能，除了那些在复位时，要求和外部总线接口信号多路复用的 I/O 口线被使能为外设。这一点在 PIO 控制器多路复用表里的‘复位状态’栏里已明确指出。

## 6.5 掉电逻辑引脚(SHDN)

SHDN 引脚由掉电控制器驱动，是一个输出引脚。

唤醒引脚(WKUP)是一个输入引脚。他仅接收 0V 到 VDDBU 之间的电压信号。

# 七 处理器和体系结构

## 7.1 ARM926EJ-S 处理器

- 基于 ARM v5TEJ 体系结构带 Jazelle Java 加速技术的 RISC 处理器
- 两个指令集
  - ARM 高性能 32 位指令集
  - Thumb 高编码密集度 16 位指令集
- DSP 指令扩展
- 五级流水线体系结构
  - 指令获取(F)
  - 指令解码(D)
  - 指令执行(E)
  - 数据存储(M)
  - 寄存器写 (W)
- 16K 字节数据缓存, 16K 字节指令缓存
  - 虚拟地址4路相连缓存(Virtually-addressed 4-way Associative Cache)
  - 八个字每路
  - 写通(write through)和回写(write back)操作
  - 伪随机或轮转法更新缓存条目
- 写缓冲器
  - 16 字数据缓冲和 4 地址缓冲的主写缓冲

- 8 字入口和一个单独的地址入口的 DCache 写返回缓冲
- Software Control Drain
- 标准的 ARM v4 和 v5 存储器管理部件(MMU)
  - 段存取允许
  - 对每四分之一的大页和小页能被分开明确指定的存取权限
  - 16 个嵌入的区域
- 总线接口部件(BIU)
  - 仲裁和调度 AHB 请求
  - 为指令和数据存取提供完全的 AHB 系统灵活性的分离的主控
  - 32 位指令接口和 32 位数据接口的分离的地址和数据总线
  - 在地址和数据总线上，数据可以是 8 位(字节)，16 位（半字）或 32 位（字）

## 7.2 调试和测试功能部件

- 集成嵌入式的实时在线仿真器
  - 两个实时监视点部件
  - 两个独立的寄存器：调试控制寄存器和调试状态寄存器
  - 可通过 JTAG 协议进入的测试存取端口
  - 调试通信通道
- 调试部件
  - 两线 UART
  - 调试通信通道中断控制
  - 芯片 ID 寄存器
- 嵌入式跟踪宏单元：ETM9
  - 中等以上规模实现
  - 半速率时钟模式
  - 四对地址比较器
  - 两个数据比较器
  - 八个存储器映射解码器输入
  - 两个 16 位计数器
  - 一个 3 级 Sequencer
  - 一个 45 字节的 FIFO
- 在所有的数字引脚上的 IEEE1149.1 JTAG 边界扫描

## 7.3 总线矩阵

- 五个主控和五个从控
  - 处理来自 ARM926EJ-S, USB 主端口, LCD 控制器和外围的 DMA 控制器到内部 ROM, 内部 SRAM, EBI, APB, LCD 控制器和 USB 主端口的请求。
  - 轮转法仲裁（支持三种模式：无缺省主控，最后的存取缺省主控，固定的缺省主控）
  - 随存储槽周期（Slot Cycle）限制的突发中断
- 每个主控提供一个地址解码器
  - 三个不同的从控可以被指定给每一个解码的存储区域：一个给内部启动，一个给外部启动，一个在重映射后。
- 启动模式选项

- 非易失的启动存储器可以是内部的或外部的
- 依据复位时 BMS 引脚的电平决定启动选项

#### 4 重映射命令

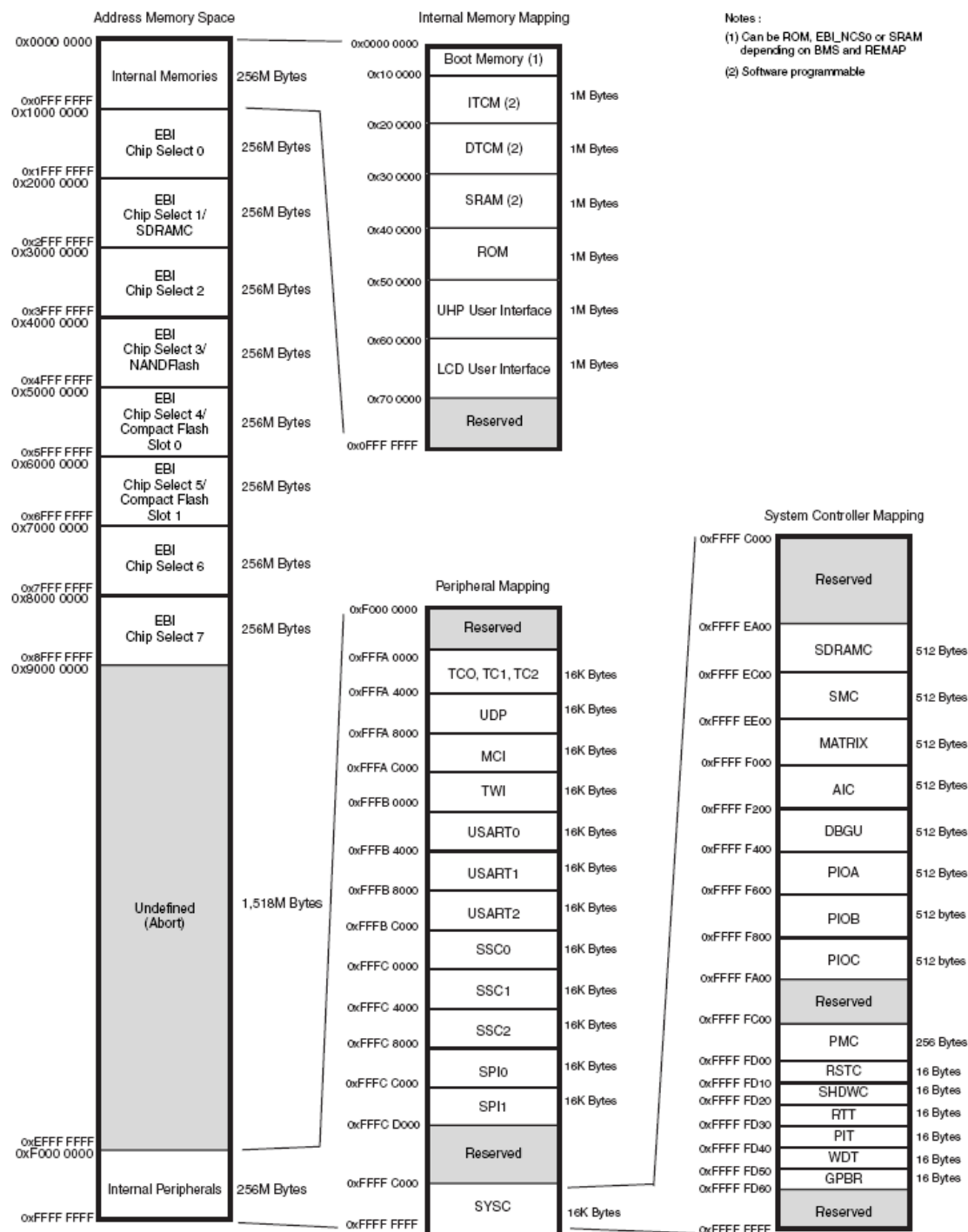
- 允许一个内部 SRAM 重映射来代替启动非易失性存储器
- 允许异常向量的动态配置处理

### 7.4 外围 DMA 控制器

- 在没有处理器干预下从外围转存到任何存储空间或从任何存储空间转存到外围。
- 下一个指针支持，在缓冲器管理上禁止强实时约束
- 十九个通道
  - 每个 USRAT 有两个
  - 调试部件有两个
  - 每个串行同步控制器有两个
  - 每个串行外围接口有两个
  - 多媒体卡接口有一个

## 8 存储器

图 8-1 AT91SAM9261 存储器映射



总线矩阵完成一个初级的地址解码，也就是，先进的高性能总线(AHB)对其附加功能部件的主控和从控接口的实现。

解码时把 4 G 字节的地址空间分成 16 个 256 M 字节的区域，1-8 号区域通过片选信号 NCS0—NCS7 指向到 EBI。区域 0 是为片内存储器寻址的保留区域，并且一个二级解码提供 1M 字节的内部存储区。15 号区域是为外设预留的且提供访问先进的外围总线(APB)的权限。

其他的区域是未被使用的，当在该区域内进行存取操作时，会向主控提供一个中断。

总线矩阵管理五个主控和五个从控。

每个主控有其自己的总线和其自己的解码器，这样就允许每个主控有一个不同的存储器映射。

对于主控 0 和主控 1(ARM926 指令和数据)，三个不同的从控在地址 0x0 被指定到存储空间解码：一个给内部启动，一个给外部启动，一个在重映射后。细节见表 8-3。

表 8-1 总线矩阵主控器列表

主控 0	ARM926 指令
主控 1	ARM926 数据
主控 2	PDC
主控 3	LCD 控制器
主控 4	USB 主机

每个从控有其自己的仲裁，这样就允许每个从控有一个不同的仲裁。

表 8-2 总线矩阵从控制器列表

从控 0	内部 SRAM
从控 1	内部 ROM
从控 2	LCD 控制器和 USB 主机端接口
从控 3	外部总线接口
从控 4	内部外设

## 8.1 嵌入式存储器

- 32KB ROM
  - 全速总线下单周期存取
- 160KB 快速 SRAM
  - 全速总线下单周期存取
  - 处理器全速下支持 ATM926EJ-S TCM 接口

### 8.1.1 内部存储器映射

表 8-3 列出了每个主控的内部存储器映射，取决于复位时重映射状态和 BMS 状态。

表 8-3 内部存储映射

Address	主控 0: ARM926 指令			主控 1: ARM926 数据		
	REMAP(RCB0)=0		REMAP(RCB0)=1	REMAP(RCB1)=0		REMAP(RCB1)=1
	BMS=1	BMS=0		BMS=1	BMS=0	
0x0000 0000	Int.ROM	EBI NCS0	Int. RAM C	Int. ROM	EBI NCS0	Int. RAM C

注意：1. EBI NCS0 被用于连接一个 16 位宽的非易失性存储器。存储结构由复位时的 SMC 设置，SMC 脉冲，SMC 时钟周期和 SMC 模式 CS0 寄存器的状态所定义。

#### 8.1.1.1 内部 SRAM

AT91SAM9261 集成了一个 160K 字节的高速 SRAM。这个内部的 SRAM 被分为三个区域。其存储器映射的细节见上面表 8-3。

- 内部 SRAM A 是 ATM926EJ-S 指令 TCM 并且用户可以通过 CP15 指令在 ARM926 指令存储空间映射 SRAM 块到任何地方。SRAM 块可以通过 AHB 总线在地址 0x0010 0000 被 ARM926 数据主控和 AHB

主控访问。

- 内部 SRAM B 是 ATM926EJ-S 数据 TCM 并且用户可以通过 CP15 指令在 ARM926 数据存储空间映射 SRAM 块到任何地方。SRAM 块可以通过 AHB 总线在地址 0x0020 0000 被 ARM926 数据主控和 AHB 主控访问。

- 内部 SRAM C 只能被所有的 AHB 主控存取。复位后且直到重映射命令执行前，SRAM 块能被所有的 AHB 主控通过 AHB 总线 在地址 0x0030 0000 访问。重映射后，SRAM 块也能被 ARM926 指令和 ARM926 数据主控通过 AHB 总线在地址 0x0 访问。在 160k 字节 SRAM 可用空间，被指定到每个块的 16K 的倍数字节（见表 8-4）的存储量是可以软件编程的。此表提供了根据内部 SRAM A 和内部 SRAM B 的大小决定内部 SRAM C 的存储量。

表 8-4 内部 SRAM 块存储量

内部 SRAM C		内部 SRAM A(ITCM)			
		0	16K 字节	32 K 字节	64 K 字节
内部 SRAM B(DCTM)	0	160 K 字节	144 K 字节	128 K 字节	96 K 字节
	16 K 字节	144 K 字节	128 K 字节	112 K 字节	80 K 字节
	32 K 字节	128 K 字节	112 K 字节	96 K 字节	64 K 字节
	64 K 字节	96 K 字节	80 K 字节	64 K 字节	32 K 字节

注意：在 10 个 16K 字节块构成的内部 SRAM，两个被永久指定为内部 SRAM C。

复位后，整个存储器（160KB）被指定为内部 SRAM C。

被指定为 SRAM A,SRAM B,SRAM C 的存储块并不是连续的，当用户动态地改变内部 SRAM 结构时，新的 16K 字节块组织将从软件方面影响先前的结构。

表 8-5 16K 字节块分配

解码区	地址	结构举例和 16K 字节块指定详情			
		ITCM =0k 字节 DTCM=0k 字节 AHB=160k 字节 (1)	ITCM=64k 字节 DTCM=64k 字节 AHB=32k 字节	ITCM=32k 字节 DTCM=64k 字节 AHB=64k 字节	ITCM=32k 字节 DTCM=16k 字节 AHB=112k 字节
内部 SRAM A (ITCM)	0x0010 0000		RB3	RB3	RB3
	0x0010 4000		RB2	RB2	RB2
	0x0010 8000		RB1		
	0x0010 C000		RB0		
内部 SRAM B DTCM	0x0020 0000		RB7	RB7	RB7
	0x0020 4000		RB6	RB6	
	0x0020 8000		RB5	RB5	
	0x0020 C000		RB4	RB4	
内部 SRAM B (AHB)	0x0030 0000	RB9	RB9	RB9	RB9
	0x0030 4000	RB8	RB8	RB8	RB8
	0x0030 8000	RB7		RB1	RB2
	0x0030 C000	RB6		RB0	RB5
	0x0031 0000	RB5			RB4

	0x0031 4000	RB4			RB1
	0x0031 8000	RB3			RB0
	0x0031 C000	RB2			
	0x0032 0000	RB1			
	0x0032 4000	RB0			

注意：(1) 复位后的配置信息

#### 8.1.1.2 内部 ROM

AT91SAM9261 集成了一个映射地址为 0x0040 0000 的 32KB 的内部 ROM。如果复位期间 BMS 是高电平，也可以复位后在地址 0x0 和重映射前访问。

#### 8.1.1.3 USB 主端口

AT91SAM9261 集成了一个 USB 主端口开放主机控制器接口(OHCI)。此接口的寄存器在 AHB 总线上可直接访问并且能像标准的内部存储器一样在地址 0x0050 0000 被映射。

#### 8.1.1.4 LCD 控制器

AT91SAM9261 集成了一个 LCD 控制器。其接口的寄存器在 AHB 总线上可直接访问并且能像标准的内部存储器一样在地址 0x0060 0000 被映射。

### 8.1.2 启动策略

系统总是在地址 0x0 启动。为了确保最高的成功启动概率，存储器布局可由两个参数配置。

重映射(REMAP)允许用户映射第一个内部 SRAM 存储器到 0x0。只要矩阵总线的每个主控已经启动，REMAP 可由软件完成。当 REMAP=1，BMS 被忽略。更多细节请参考“Bus Matrix Section”。

当 REMAP=0，BMS 允许用户展开到 0x0，可以是 ROM 或外部存储器，复位时由硬件完成。

注意：不被这些参数影响的存储器块总是在他们特殊的指定地址能被看见。完全的存储器映射请参考 16 页图 8 -1。

AT91SAM9261 总线矩阵管理了一个在复位时取决于 BMS 引脚上电平的启动存储器。在地址 0x0 和 0x000F FFFF 间映射的内部存储器区被预留用于此目的。

如果 BMS 检测到 1，启动的存储器是嵌入的 ROM。

如果 BMS 检测到 0，启动的存储器是连接于外部总线接口片选 0 的存储器。

#### 8.1.2.1 BMS=1，在嵌入的 ROM 上启动

系统用启动程序启动。

- DataFlash 启动
  - 从 SPI DataFlash 进入到内部 SRAM 下载并运行一个应用程序
  - 从 SPI DataFlash 调入的代码大小受 SRAM 大小限制
  - 自动监测有效的应用程序
  - SPI DataFlash 连接到 SPI NPCSO
- 万一在外部 SPI DataFlash 检测到无有效的应用程序则启动上传
  - SAM-BA 应用程序，一种小型监控程序(读/写/运行)接口
  - 自动检测通信连接

一个 DBGU (XModem 协议) 上的串行通信  
USB 设备端口(CDC 协议)

### 8.1.2.2 BMS=0,从外部存储器启动

- 慢时钟(32,768Hz)启动
- 带缺省配置的静态存储控制器启动，字节选择模式，16 位数据总线，片选控制的读/写，允许在 16 位非易失存储器上启动。

客户编程的软件必须完成了一个完整的配置。

当在 32kHz EBI CS=0(BMS=0)时，为了加速启动次序，用户必须执行以下步骤：

- 编程 PMC (主振荡器使能或旁路模式)。
- 编程并启动 PLL。
- 重编程 SMC 设置，周期，保持，CS0 的模式定时寄存器以适应新时钟。
- 主时钟切换至新值

### 8.1.3 ETM 存储器

八个 ETM9 中等规模以上 (Medium+) 存储器映射解码器输入被连接到客户地址解码器。

结果的存储器映射总结在表 8-6 中

表 8-6。ETM9 存储器映射

产品资源	区域	存取类型	起始地址	结束地址
SRAM	内部	数据	0x0000 0000	0x002F FFFF
SRAM	内部	取	0x0000 0000	0x002F FFFF
ROM	内部	数据	0x0040 0000	0x004F FFFF
ROM	内部	取	0x0040 0000	0x004F FFFF
外部总线接口	外部	数据	0x1000 0000	0x8FFF FFFF
外部总线接口	外部	取	0x1000 0000	0x8FFF FFFF
用户外设	内部	数据	0xF000 0000	0xFFFF BFFF
系统外设	内部	数据	0xFFFF C000	0xFFFF FFFF

### 8.2 外部存储器

外部存储器可以通过外部总线接口 (总线矩阵从控 3) 访问。

存储器映射见 16 页表 8-1

## 9. 系统控制器

系统控制器管理所有重要的微控制器块：中断，时钟，电源，定时器，调试和复位。

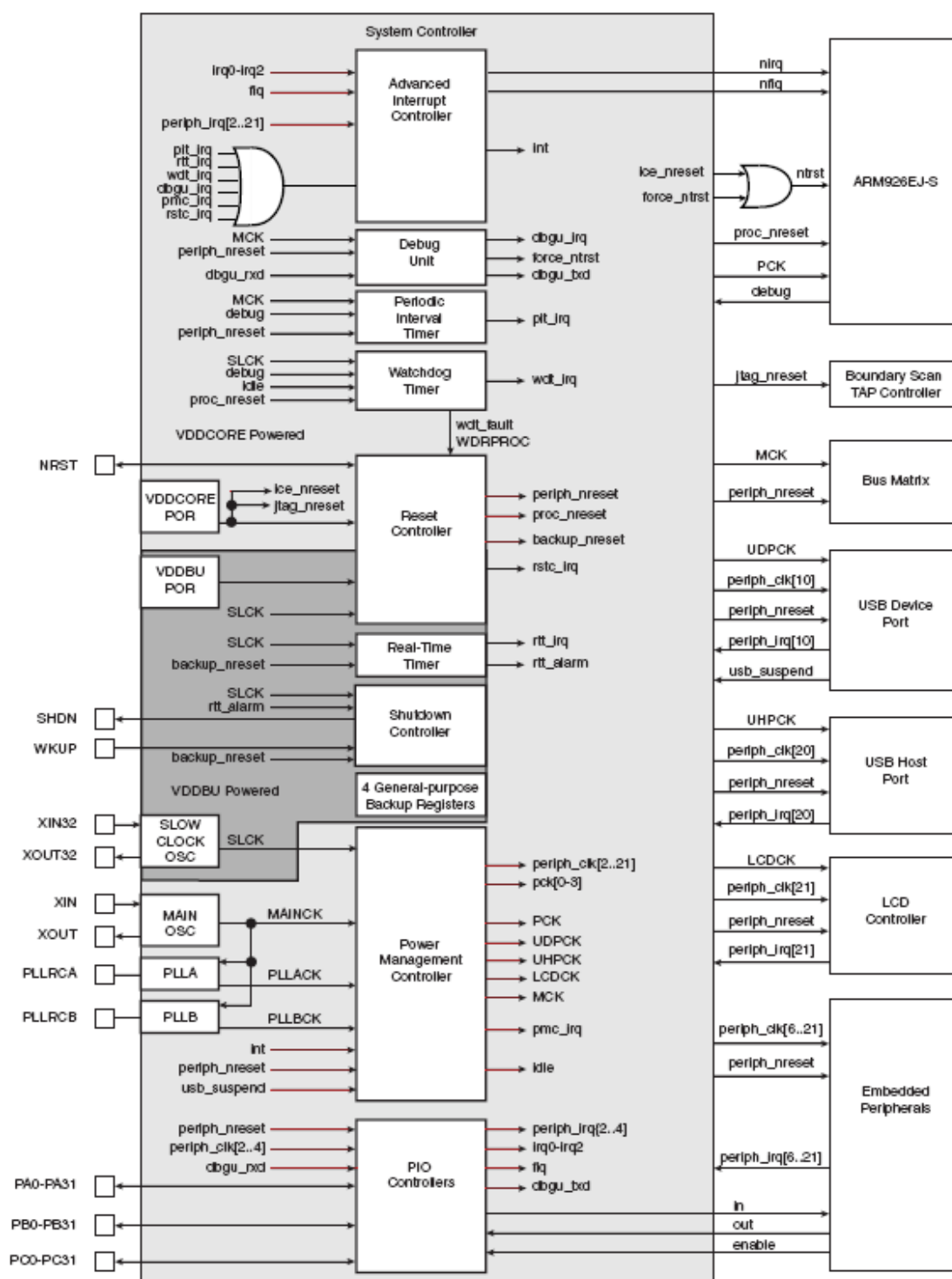
系统外设全被映射在最高的 6K 字节的地址空间内，地址 0xFFFF EA00 到 0xFFFF FFFF 之间。每个外设有一个 256 或 512 字节的地址空间，表示 64 或 128 寄存器。

23 页表 9-1 显示了系统控制器方块图

16 页表 8-1 显示了系统控制器外设用户接口的映射。

### 9.1 方块图

图 9-1 系统控制器方块图



## 9.2 复位控制器

- 基于两个 Power-on-Reset 单元
- 最近一次复位状态
  - 冷复位，首次复位，软件复位，用户复位，看门狗复位，唤醒复位
- 控制内部复位和 NRST 引脚输出

## 9.3 掉电控制器

- 掉电和唤醒逻辑：
  - 软件可编程的 SHDN (Shutdown) 引脚
  - WKUP 引脚电平改变或报警时可触发

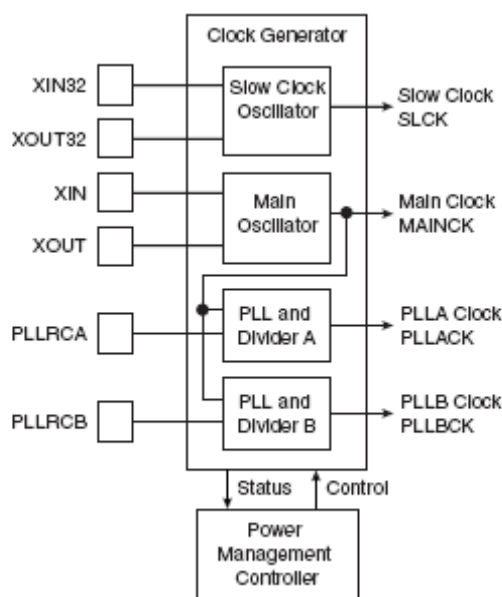
## 9.4 通用备份寄存器

- 四个 32 位通用备份寄存器

## 9.5 时钟发生器

- 集成低功耗 32768Hz 慢时钟振荡器
  - 向系统提供永久慢时钟
- 集成主振荡器
  - 振荡器旁路功能
  - 支持 3 到 20MHz 晶振
- 集成两个 PLL
  - 输出 80 到 240MHz 时钟
  - 集成了一个输入分频器来增大输出精度
  - 1MHz 最小输入频率
- 提供 SLCK,MAINCK,PLLACK 和 PLLBCK。

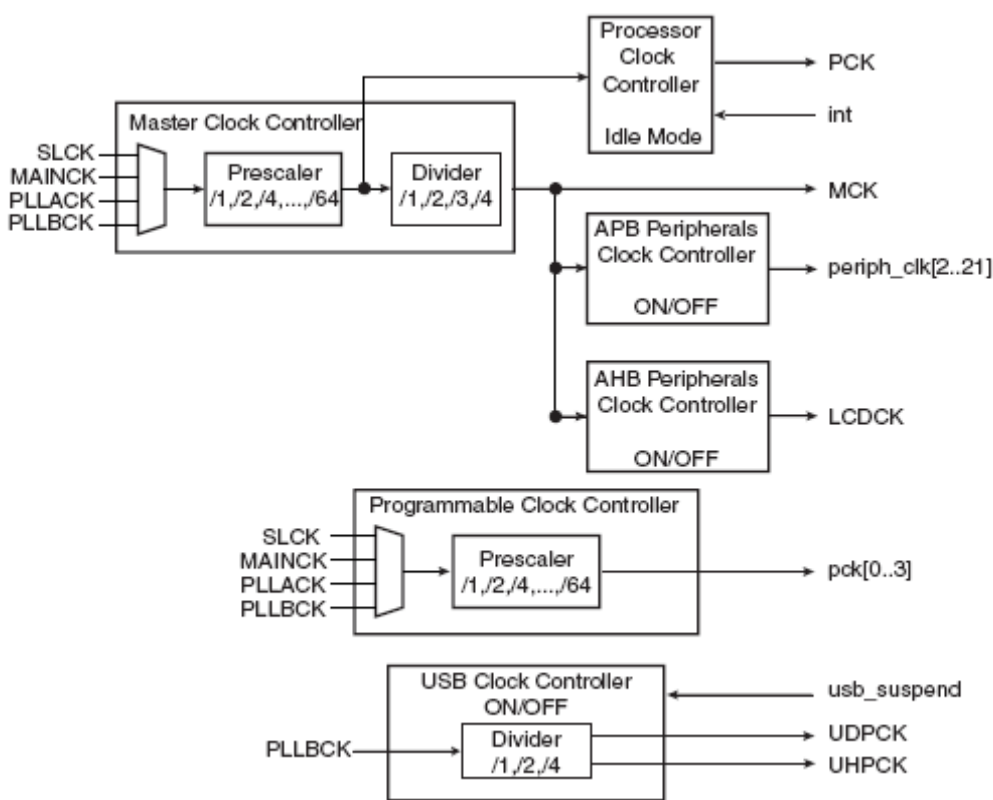
图 9-2 时钟发生器方块图



## 9.6 电源管理控制器

- 电源管理控制器提供：
  - 处理器时钟(PCK)
  - 主控时钟(MCK)
  - USB 时钟 USBCK (HCK0)
  - LCD 控制器时钟 LCDCK (HCK1)
  - 多至 30 路外部时钟
  - 四个可编程时钟输出：PCK0 到 PCK3

图 9-3。电源管理控制器方块图



## 9.7 周期性间隔定时器

- 包括一个 20 位的精确度优于 1 微秒的周期计数器
- 包括一个 12 位间隔覆盖计数器
- 实时操作系统或 Linux/Windows CE 适用的节拍发生器

## 9.8 看门狗定时器

- 12 位键保护 (Key-protected) 一次性编程计数器
- 窗口的，在看门狗的访问下防止处理器进入死锁

## 9.9 实时定时器

- 32 位自由运行备份计数器
- 报警寄存器可以发生一个系统唤醒信号

## 9.10 先进的中断控制器

- 控制一个 ARM 处理器的中断口线（nIRQ 和 nFIQ）
- 32 个独立可屏蔽的和中断向量源
  - 中断源 0 为快速中断输入(FIQ)预留。
  - 中断源 1 为系统外设（PIT,RTT,PMC,DBGU,等）预留
  - 中断源 2 到中断源 31 控制多达 30 个嵌入式外设中断或外部中断
  - 可编程的边沿触发或电平触发的内部中断源
  - 可编程的正/负边沿触发或高低电平触发
- 四个外部中断源
- 8 个优先级控制器
  - 驱动一般的处理器中断
  - 处理 1 到 31 号中断源的优先级
  - 在低优先级中断服务期间优先响应高优先级中断
- 定向
  - 优化中断服务路径和执行
  - 每个中断源对应一个 32 位的定向寄存器（Vector Register）
  - 中断定向寄存器读取相对应的当前中断向量
- 保护模式
  - 处于保护模式时，通过阻止自动操作来方便调试
- 快速强制（Fast Forcing）
  - 允许重定向任何普通的中断源到 FIQ
- 一般中断屏蔽
  - 在事件没有触发一个中断时提供处理器同步化

## 9.11 调试部件

- 由 4 部分功能组成
  - 双引脚 UART
  - 调试通信通道(DCC)支持
  - 芯片 ID 寄存器
  - ICE 访问控制
- 双引脚 UART
  - 功能和标准的 Atmel USART 100% 完全兼容
  - 带通用可编程波特率发生器的独立接收器和发射器
  - 偶校验，奇校验，1 或 0 奇偶校验
  - 奇偶校验，成帧（Framing）和超限错误（Overrun Error）检测
  - 自动回显，本地回送和远程回送通道模式
  - 支持接收器和发射器的两个 PDC 通道
- 调节通信通道支持
  - 从 ARM 处理器提供 COMMRX 和 COMMTX 信号的可见性
- 芯片 ID 寄存器
  - 器件版本 ID，嵌入式存储器大小，外设
- ICE 访问保护
  - 可以通过软件禁用 ARM 处理器的 ICE 访问
  - 通过使 ARM 处理器 ICE 的 NTRST 信号有效实施保护

## 9.12 PIO 控制器

- 三个 PIO 控制器，每个控制达 32 个可编程 I/O 口线
  - PIOA 有 32 个 I/O 口线
  - PIOB 有 32 个 I/O 口线
  - PIOC 有 32 个 I/O 口线
- 通过设置/清零寄存器完全可编程
- 每个 I/O 口线与两个外设功能多路复用
- 对于每个 I/O 口线（无论被指定为一个外设或被用于通用 I/O）
  - 输入改变中断
  - 尖峰滤波器（Glitch filter）
  - 多驱动选项使能漏极开路驱动
  - 每个 IO 口线均有可编程上拉电阻
  - 引脚数据状态寄存器，任何时间提供引脚上电平的可见性
- 同步输出，实现在单周期写时对若干 I/O 口线的置位和清零

## 10. 外设

### 10.1 用户接口

用户外设被映射于地址空间介于地址 0xFFFFA 0000 和 0xFFFFC FFFF 的高 256M 字节。每个用户外设都分配了 16K 字节的地址空间。

完全的存储器映射见前述 16 页图 8-1

### 1.2 外设识别

表 10-1 定义了 AT91SAM9261 的外设识别。一个外设识别需要用先进的中断控制器对外设中断的控制并且用电源管理控制器对外设时钟的控制。

表 10-1 外设识别

外设 ID	外设助记符	外设名称	外部中断
0	AIC	先进的中断控制器	FIQ
1	SYSIRQ	系统中断	
2	FIOA	并行 I/O 控制器 A	
3	FIOB	并行 I/O 控制器 B	
4	PIOC	并行 I/O 控制器 C	
5	-	预留	
6	US0	USART0	
7	US1	USART1	
8	US2	USART2	
9	MCI	多媒体卡接口	
10	UDP	USB 设备端口	
11	TWI	双总线接口	
12	SPI0	串行外设接口 0	
13	SPI1	串行外设接口 1	
14	SSC0	同步串行控制器 0	
15	SSC1	同步串行控制器 1	
16	SSC2	同步串行控制器 2	
17	TC0	定时器/计数器 0	
18	TC1	定时器/计数器 1	
20	UHP	USB 主机端口	

21	LCDC	LCD 控制器	
22~28	-	保留	
29	AIC	先进的中断控制器	IRQ0
30	AIC	先进的中断控制器	IRQ1
31	AIC	先进的中断控制器	IRQ2

注意:通过在 PMC 的时钟置位/清零寄存器来设置 AIC, SYSIRQ,UHP,LCDC 和 IRQ0—IRQ2 位是无效的。

### 10.3 PIO 口线上的外设复用

AT91SAM9261 设置了三个 PIO 控制器, PIOA,PIOB 和 PIOC, 这些 I/O 口线和外设进行了复用。

每个 PIO 控制器控制达 32 个口线。每个口线可以被指定到两个外围功能中的一个, A 或 B。32 页表 10-2, 33 页表 10-3 和 34 页表 10-4 定义了外设 A 和 B 的 I/O 口线怎样被多路复用于 PIO 控制器。“功能”和“备注”两栏插入了用户自己的备注;他们可能被用于追踪在一个应用程序里被定义成怎样的引脚。

注意一些只有输出的外围功能在表中可能被重复定义。

“复位状态”一栏显示复位后 PIO 口线是 I/O 模式下或外围模式下。

如果提到 I/O 口, 复位后 PIO 口线是带上拉电阻的输入, 所以只要复位键释放, 外设就保持在一个静止状态。结果, 与寄存器 PIO\_PSR(外围状态寄存器)中的 PIO 口线对应的位复位为低电平。

如果在“复位状态”栏中提到一个信号名称, PIO 口线被指定到此功能和 PIO\_PSR 寄存器中对应的位复位为高电平。这是引脚控制存储器的情况, 特别是地址块, 只要复位键一释放就要驱动地址块引脚。注意在此情况下也要使能上拉电阻。

#### 10.3.1. 资源多路复用

##### 10.3.1.1 LCD 控制器

LCD 控制器可以和若干 LCD 控制面板对接。完全支持 4, 8 或 16 位每像素。连接 24 位每像素的 TFT 面板需禁用 SSC0 和 SPI1 的片选块 0。

16 位每像素的 TFT 控制面板通过外设 B 功能实现对接, 随色彩数据输出 LCDD3 到 LCDD7,LCDD11 到 LCDD15 和 LCDD19 到 LCDD23. 亮度位在 LCDD2,LCDD10 和 LCDD18 上输出。用外设 B 不能限制用 SSC0 和 SPI1 块。

##### 10.3.1.2 ETM

用 ETM 阻止:

- 用 USART1 和 USART2 控制信号, 特别是 SCK 口线。SCK 口线在串行上需要用 USART 像 ISO7816 和 RTS 和 CTS 来控制硬件握手。万一 ETM 和一个 ISO7816 连接都需要, USART0 只能用作智能卡接口。
- 使用 SSC1
- 寻址一个大于 8M 字节的静态存储器需要用 A23 和 A24 地址线。
- 用 SPI0 和 SPI1 的片选 1 到 3

##### 10.3.1.3 EBI

如果不需要, NWAIT 功能(外部等待请求)能通过软件禁用, 允许此引脚被用作一个 PIO。

#### 10.3.1.4 32 位数据总线

用一个 32 位数据总线阻止：

- 使用 3 个定时器计数器通道的输出和处触发输入
- 使用 SSC2

#### 10.3.1.5 NAND 闪存接口

用 NAND 闪存接口：

用 NCS3, NCS6 和 NCS7 访问其他的并行设备

#### 10.3.1.6 CompactFlash 接口

用 CompactFlash 接口阻止：

用 NCS4 和/或 NCS5 访问其他的并行设备

#### 10.3.1.7 SPI0 和 MultiMedia 卡接口

由于 DataFlash 卡和 SD 卡兼容，对多路复用 SPI 和 MCI 很有用。这里，SPI0 信号和 MCI 多路复用。

#### 10.3.1.8 USARTs

- 使用 USART1 和 USART2 控制信号阻止使用 ETM。
- 另外，使用带其本身控制信号的 USART0 防止使用若干时钟输出和中断块。

#### 10.3.1.9 时钟输出

- 使用时钟输出和 PIO A 多路复用来防止使用调试部件和/或双总线接口。
- 另外，使用时钟输出的辅助措施阻止使用 LCD 控制器接口和/或 USART0。

#### 10.3.1.10 中断口线

- 使用 FIQ 阻止使用 USART0 控制信号。
- 使用 IRQ0 阻止使用 NWAIT EBI 信号。
- 使用 IRQ1 和/或 IRQ2 阻止使用 SPI1。

### 10.3.2 PIO 控制器 A 多路复用

表 10-2。PIO 控制器 A 的多路复用

PIO 控制器 A					应用情况		
I/O 口线	外设 A	外设 B	备注	复位状态	供电	功能	备注
PA0	SPI0_MISO	MCDA0		I/O	VDDIOP		
PA1	SPI0_MOSI	MCCDA		I/O	VDDIOP		
PA2	SPI0_SPCK	MCKK		I/O	VDDIOP		
PA3	SPI0_NPCS0			I/O	VDDIOP		
PA4	SPI0_NPCS1	MCDA1		I/O	VDDIOP		
PA5	SPI0_NPCS2	MCDA2		I/O	VDDIOP		
PA6	SPI0_NPCS3	MCDA3		I/O	VDDIOP		
PA7	TWD	PDK0		I/O	VDDIOP		
PA8	TWCK	PCK1		I/O	VDDIOP		
PA9	DRXD	PCK2		I/O	VDDIOP		
PA10	DTXD	PCK3		I/O	VDDIOP		
PA11	TSYNC	SCK1		I/O	VDDIOP		
PA12	TCLK	RTS1		I/O	VDDIOP		
PA13	TPS0	CTS1		I/O	VDDIOP		
PA14	TPS1	SCK2		I/O	VDDIOP		
PA15	TPS2	RTS2		I/O	VDDIOP		
PA16	TPK0	CTS2		I/O	VDDIOP		
PA17	TPK1	TF1		I/O	VDDIOP		
PA18	TPK2	TK1		I/O	VDDIOP		
PA19	TPK3	TD1		I/O	VDDIOP		
PA20	TPK4	RD1		I/O	VDDIOP		
PA21	TPK5	RK1		I/O	VDDIOP		
PA22	TPK6	RF1		I/O	VDDIOP		
PA23	TPK7	RTS0		I/O	VDDIOP		
PA24	TPK8	SPI1_NPCS1		I/O	VDDIOP		
PA25	TPK9	SPI1_NPCS2		I/O	VDDIOP		
PA26	TPK10	SPI1_NPCS3		I/O	VDDIOP		
PA27	TPK11	SPI0_NPCS1		I/O	VDDIOP		
PA28	TPK12	SPI0_NPCS2		I/O	VDDIOP		
PA29	TPK13	SPI0_NPCS3		I/O	VDDIOP		
PA30	TPK14	A23		A23	VDDIOM		
PA31	TPK15	A24		A24	VDDIOM		

### 10.3.3 PIO 控制器 B 多路复用

表 10-3 PIO 控制器 B 上的多路复用

PIO 控制器 B				应用情况		
I/O 块	外设 A	外设 B	复位状态	供电	功能	备注
PB0	LCDVSYNC		I/O	VDDIOP		
PB1	LCDHSYNC		I/O	VDDIOP		
PB2	LCDDOTCK	PCK0	I/O	VDDIOP		
PB3	LCDDEN		I/O	VDDIOP		
PB4	LCDDCC	LCDD2	I/O	VDDIOP		
PB5	LCDD0	LCDD3	I/O	VDDIOP		
PB6	LCDD1	LCDD4	I/O	VDDIOP		
PB7	LCDD2	LCDD5	I/O	VDDIOP		
PB8	LCDD3	LCDD6	I/O	VDDIOP		
PB9	LCDD4	LCDD7	I/O	VDDIOP		
PB10	LCDD5	LCDD8	I/O	VDDIOP		
PB11	LCDD6	LCDD9	I/O	VDDIOP		
PB12	LCDD7	LCDD10	I/O	VDDIOP		
PB13	LCDD8	LCDD11	I/O	VDDIOP		
PB14	LCDD9	LCDD12	I/O	VDDIOP		
PB15	LCDD10	LCDD13	I/O	VDDIOP		
PB16	LCDD11	LCDD19	I/O	VDDIOP		
PB17	LCDD12	LCDD20	I/O	VDDIOP		
PB18	LCDD13	LCDD21	I/O	VDDIOP		
PB19	LCDD14	LCDD22	I/O	VDDIOP		
PB20	LCDD15	LCDD23	I/O	VDDIOP		
PB21	TF0	LCDD16	I/O	VDDIOP		
PB22	TK0	LCDD17	I/O	VDDIOP		
PB23	TD0	LCDD18	I/O	VDDIOP		
PB24	RD0	LCDD19	I/O	VDDIOP		
PB25	TK0	LCDD20	I/O	VDDIOP		
PB26	RF0	LCDD21	I/O	VDDIOP		
PB27	SPI1_NPCS1	LCDD22	I/O	VDDIOP		
PB28	SPI1_NPCS0	LCDD23	I/O	VDDIOP		
PB29	SPI1_SPCK	IRQ2	I/O	VDDIOP		
PB30	SPI1_MISO	IRQ1	I/O	VDDIOP		
PB31	SPI1_MOSI	PCK2	I/O	VDDIOP		

### 10.3.4 PIO 控制器 C 多路复用

表 10-4 PIO 控制器 C 上的多路复用

PIO 控制器 C					应用情况		
I/O 块	外设 A	外设 B	备注	复位状态	供电	功能	备注
PC0	NANDOE	NCS6		I/O	VDDIOM		
PC1	NANDWE	NCS7		I/O	VDDIOM		
PC2	NWAIT	IRQ0		I/O	VDDIOM		
PC3	A25/CFRNW			A25	VDDIOM		
PC4	NCS4/CFCS0			I/O	VDDIOM		
PC5	NCS5/CFCS1			I/O	VDDIOM		
PC6	CFCE1			I/O	VDDIOM		
PC7	CFCE2			I/O	VDDIOP		
PC8	TXD0	PCK2		I/O	VDDIOP		
PC9	RXD0	PCK3		I/O	VDDIOP		
PC10	RTS0	SCK0		I/O	VDDIOP		
PC11	CTS0	FIQ		I/O	VDDIOP		
PC12	TXD1	NCS6		I/O	VDDIOM		
PC13	RXD1	NCS7		I/O	VDDIOM		
PC14	TXD2	SPI1_NPCS2		I/O	VDDIOM		
PC15	RXD2	SPI1_NPCS3		I/O	VDDIOM		
PC16	D16	TCLK0		I/O	VDDIOM		
PC17	D17	TCLK1		I/O	VDDIOM		
PC18	D18	TCLK2		I/O	VDDIOM		
PC19	D19	TIOA0		I/O	VDDIOM		
PC20	D20	TIOB0		I/O	VDDIOM		
PC21	D21	TIOA1		I/O	VDDIOM		
PC22	D22	TIOB1		I/O	VDDIOM		
PC23	D23	TIOA2		I/O	VDDIOM		
PC24	D24	TIOB2		I/O	VDDIOM		
PC25	D25	TF2		I/O	VDDIOM		
PC26	D26	TK2		I/O	VDDIOM		
PC27	D27	TD2		I/O	VDDIOM		
PC28	D28	RD2		I/O	VDDIOM		
PC29	D29	RK2		I/O	VDDIOM		
PC30	D30	RF2		I/O	VDDIOM		
PC31	D31	PCK1		I/O	VDDIOM		

### 10.3.5 系统中断

系统中断源 1 是来源于以下中断信号的线或：

- SDRAM 控制器
- 调试部件
- 周期间断定时器
- 实时定时器
- 看门狗定时器
- 复位控制器
- 电源管理控制器

这些外设的时钟不能被撤销并且外设 ID1 仅能被用于先进中断控制器。

### 10.3.6 外部中断

所有的外部中断信号，比如快速中断型号 FIQ 或者中断信号 IRQ0-IRQ2，使用一个专门的外设 ID。但是并没有时钟控制和这些外设 ID 相关联。

## 10.4 外部总线接口

- 集成了 2 个外部存储器控制器
  - 静态存储器控制器
  - SDRAM 控制器
- 支持 NAND Flash 和 CompactFlash 的逻辑电路
  - NAND Flash 支持：支持 8 位，16 位设备
  - CompactFlash 支持：除了信号-IOIS16(I/O 和 True IDE 模式) 和-ATA SEL (True IDE 模式) 不可控制，支持所有的模式 (Attribute memory, 普通存储器, I/O, True IDE)
- 优化的外部总线
  - 16 或 32 位数据总线
  - 多达 26 位的地址总线，达 64M 字节可寻址范围
  - 八个片选，每个保留给八个存储器区中之一
  - 优化引脚多路复用，减少外部存储器上延迟时间
- 位于用户接口矩阵中的 EBI\_CSA 寄存器负责管理可配置的片选分配。
  - NCS0 上的静态存储器控制器
  - NCS1 上的 SDRAM 控制器或静态存储器控制器
  - NCS2 上的静态存储器控制器
  - NCS3 上的静态存储器控制器，可任选的 NAND Flash 后援
  - NCS6-NCS7 上的静态存储器控制器

### 10.5 静态存储器控制器

- 外部存储器映射，每个片选线 256M 字节地址空间
- 多达八个片选线
- 8-, 16-, 或 32 位数据总线
- 支持多重访问模式

- 字节写或字节选块
- 支持在页面模式下异步读(4 到 32 字节页面大小)
- 多重设备自适应性
  - 配合 LCD 模块使用
  - 为每个存储器体控制信号可编程设置，脉冲和保持时间
- 多重等待状态管理
  - 可编程等待状态发生
  - 外部等待请求
  - 可编程数据浮动时间
- 支持慢时钟模式

## 10.6 SDRAM 控制器

- 支持的设备
  - 标准和低功率 SDRAM（移动 SDRAM）
- 支持多种配置
  - 2K,4K,8K 行地址存储分配
  - 带两个或四个内部 Bank 的 SDRAM
  - 带 16 或 32 位数据宽度的 SDRAM
- 编程方式
  - 字，半字，字节存取
  - 当到达存储器边界时自动的页面切换
  - 多存储体交替存取
  - 通过软件设定时序参数
  - 自动刷新操作，刷新率可编程
- 节能能力
  - 自刷新，支持掉电和深度掉电模式
- 错误检测
  - 刷新错误中断
- SDRAM 通过软件上电初始化
- 支持 1， 2， 和 3CAS 延迟时间
- 未使用自动预充电命令

## 10.7 串行外设接口（SPI）

- 支持与多个串行外部设备通信
  - 带外部解码器的四个片选允许和多达 15 个外设通信
  - 串行存储器，像 DataFlash 和 3 线 EEPROMs
  - 串行外设，像 ADCs,DACs,LCD 控制器，CAN 控制器和传感器
  - 外部协处理器
- 主控或从控串行外设总线接口
  - 每个片选 8-到 16-位可编程数据长度
  - 每个片选可编程相位和优先级
  - 每个片选在顺序传输间和在时钟和数据间可编程传输延迟
  - 在顺序传输间可编程延迟
  - 错误检测可选模式
- 支持超快速传输
  - 传输波特率可达 MCK

-在同一个设备上片选口线可能被激活去加速传输

## 10.8 双线接口

- 标准的双总线串行存储器兼容能力
- 从控地址一，二或三字节
- 顺序读/写操作

## 10.9 USART

- 可编程的波特率发生器
- 5 到 9 位全双工同步或异步串行通信
  - 在异步模式 1, 1.5 或 2 个停止位或在同步模式 1 或 2 位停止位
  - 奇偶校验位生成错误检测
  - 成帧错误检测和超限错误检测
  - 最高位在先或最低位在先
  - 可选的中断生成和检测
  - 8 或 16 倍过采样
  - 硬件握手 RTS-CTS
  - 接收器超时和发送器时间警戒
  - 可任选的带地址生成和检测的多接入点模式
  - 可任选的 Manchester 编码
- 带驱动控制信号的 RS485
- ISO7816, T=0 或 T=1 带智能卡的接口协议
  - NACK 控制, 带重复和迭代限制的错误计数器
- IrDA 调制和解调
  - 最高可达 115.2Kbps
- 测试模式
  - 远程回送, 本地回送, 自动回显

## 10.10 同步串行控制器

- 提供串行同步通信连接用于音频和通信 (带 CODECs 在主控或从控模式, IIS, TDM 总线, 磁卡读卡器和更多)。
- 包括一个独立的接受器和发射器和一个公用时钟分频器
- 提供一个可配置的帧同步可数据长度
- 接收器和发射器可被编程用于自启动或在帧同步信号上检测不同的事件
- 接收器和发射器包含一个数据信号, 一个时钟信号和一个帧同步化信号。

## 10.11 时器/计数器

- 3 个 16 位的定时器计数器通道
- 功能包括:
  - 频率测量
  - 事件计数
  - 间隔测量
  - 脉冲生成
  - 延时定时
  - 脉冲宽度调制
  - 上/下计数能力

- 每个通道是用户可配置的并且包括：
  - 三个外部时钟输入
  - 五个内部时钟输入
  - 两个多用途输入/输出信号
- 两个全局寄存器在所有的三个 TC 通道上运行

#### 10.12 Multimedia 卡接口

- 和 MultiMedia 卡规范版本 2..2 兼容
- 和 SD 存储器卡规范版本 1.0 兼容
- 卡的时钟速率达到主控时钟的 2 分频
- 未用时嵌入式的电源管理器降低时钟速率
- 每个 MCI 有两个插槽，每个支持
  - 用于一个 Multimedia 总线（多达 30 个卡）的一个插槽或
  - 一个 SD 存储卡
- 支持流，块和多块数据读和写

#### 10.13 USB

- USB 主机端口：
  - 兼容 Open HCI Rev1.0 规范
  - 兼容 USB V2.0 全速和低速规范
  - 支持 1.5Mbps 低速和 12Mbps 高速 USB 设备
  - 根集线器集成了两个下行数据流 USB 端口
  - 两个嵌入式 USB 收发器
  - 无过流检测
  - 支持电源管理
  - 在总线矩阵上作为一个主控操作
- USB 设备端口：
  - 兼容 USB V2.0 全速，12M 位每秒
  - 集成 USB V2.0 全速收发器
  - 集成端点（endpoints）双端口 RAM
  - 挂起/继续执行 逻辑
  - 用于isochronous和bulk端点的ping-pong缓冲模式(两个存储体)
  - 六个通用端点（endpoints）：
    - 端点 0: 8 字节，无交替模式
    - 端点 1, 端点 2: 64 字节，交替模式
    - 端点 3: 64 字节，无交替模式
    - 端点 4, 端点 5: 256 字节，交替模式
- 集成了 pad 上拉电阻，并可通过 MAXTRIX 用户机接口中的 USB\_PUCR 寄存器进行配置

#### 10.14 LCD 控制器

- 支持单，双扫描彩色和单色被动 STN LCD 控制面板
- 支持单扫描主动的 TFT LCD 控制面板
- 支持 4 位单扫描，8 位单或双扫描，16 位双扫描 STN 接口
- 支持多达 24 位的单扫描 TFT 接口
- 单色 STN 有多达 16 灰阶，彩色 STN 显示多达 4096 色
- 每像素（palletized）1, 2 位。单色 STN 每像素（non-palletized）4

位

- 每像素 (palletized) 1, 2, 4, 8 位, 彩色 STN 每像素 (non-palletized)

16 位

- 每像素 (palletized) 1, 2, 4, 8 位, TFT 每像素 (non-palletized) 16,

24 位

- 单时钟域架构
- 分辨率支持达 2048\*2048