

## 28. 并行输入/输出控制器 (PIO)

### 28.1 描述

并行输入/输出控制器 (PIO) 管理多达 32 个全可编程的输入/输出口线。每个 I/O 口线可被用作通用 I/O 或被指定为嵌入式外设功能。这就保证了产品引脚的有效优化。

PIO 控制器的每个 I/O 口线的特性:

- 输入变化中断使能任何 I/O 口线上的电平变化检测
- 毛刺滤波器能除去所有低于一个半时钟周期的脉冲
- 类似于开漏 I/O 口线的多驱动能力
- I/O 口线上拉控制
- 输入可见性和输出控制

PIO 控制器的异步输出提供多达 32 位的单写入操作中的数据输出

### 28.2 方块图

图 28-1 方块图

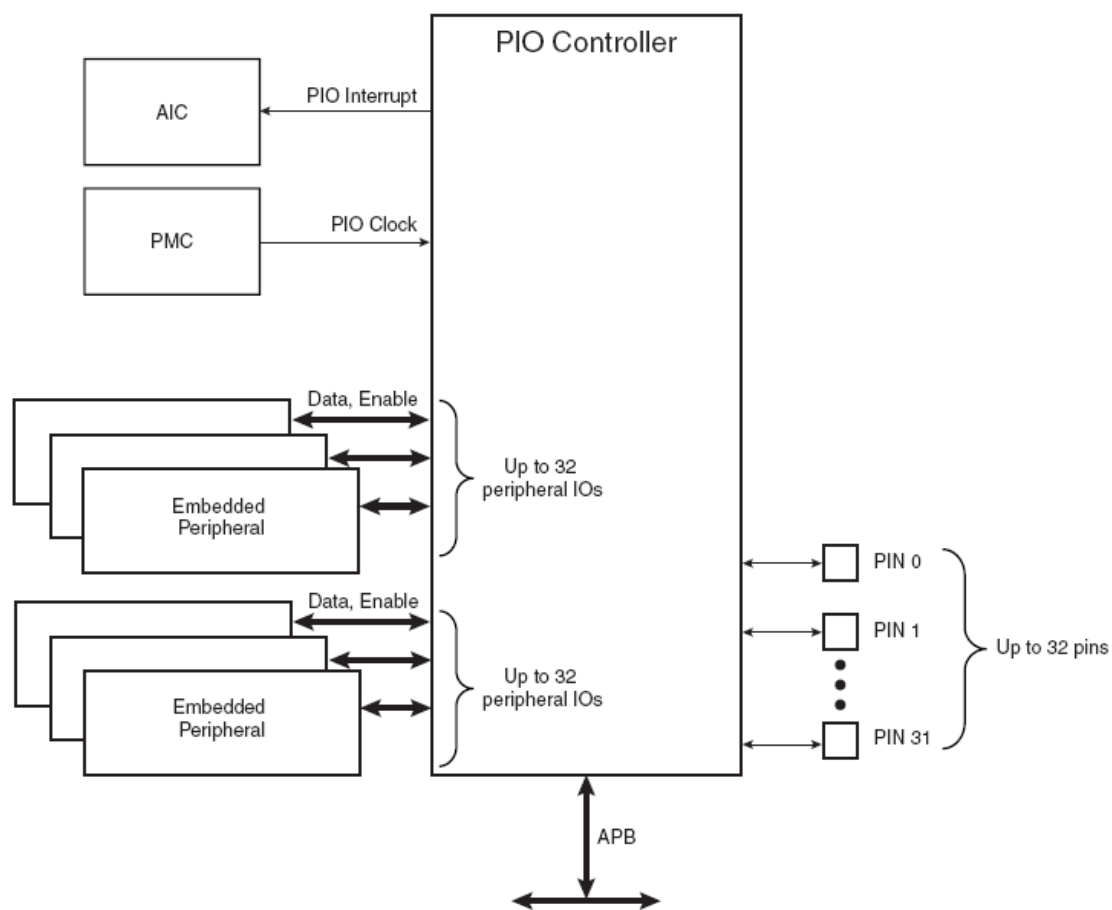
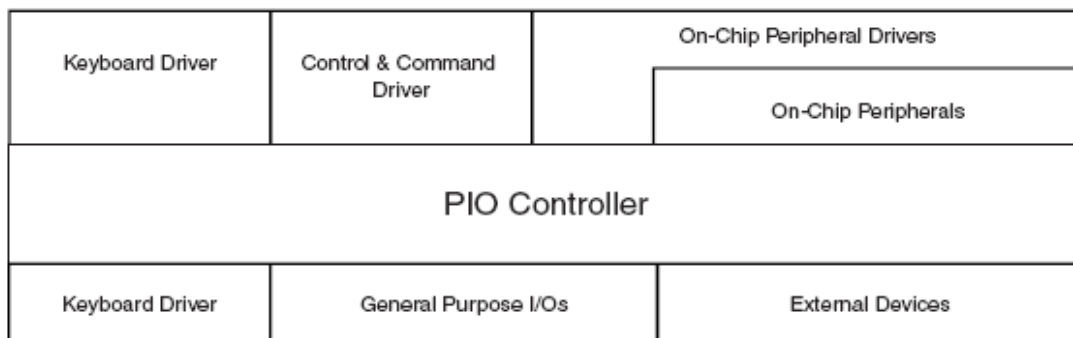


图 28-2 应用方块图



### 28.3 附属产品

#### 28.3.1 引脚多路复用

每个引脚根据产品定义仅可配置为通用 I/O 口线，或一个 I/O 口线复用为一个或两个外设 I/O。由于复用是硬件定义的并因此以来于产品，所以硬件设计者和编程者必须根据应用谨慎决定 PIO 控制器的配置。当仅是通用 I/O 口线，就是说，无任何外设 I/O 复用，关于指定给外设的 PIO 控制器的编程无影响，并且仅 PIO 控制器可以控制产品驱动引脚。

#### 28.3.2 外部中断口线

中断信号 FIQ 和 IRQ0 到 IRQn 通常通过 PIO 控制器多路复用。然而，由于 PIO 控制器对输入无效并且中断口线仅被用为输入，所以没必要分配 I/O 口线给中断功能。

#### 28.3.3 电源管理

电源管理控制器控制 PIO 控制器时钟来节省功率。写入用户接口的任何寄存器都不需要 PIO 控制器时钟来使能。这就意味着 I/O 口线的配置不需要 PIO 控制器时钟来使能。

然而，当时钟被禁用，不是所有的 PIO 控制器特性都是可用的。注意输入变化中断和引脚点评的读取需要时钟来激活。

硬件复位后，PIO 时钟缺省为禁用

用户必须在任何访问输入口线信息前配置电源管理控制器

#### 28.3.4 中断发生

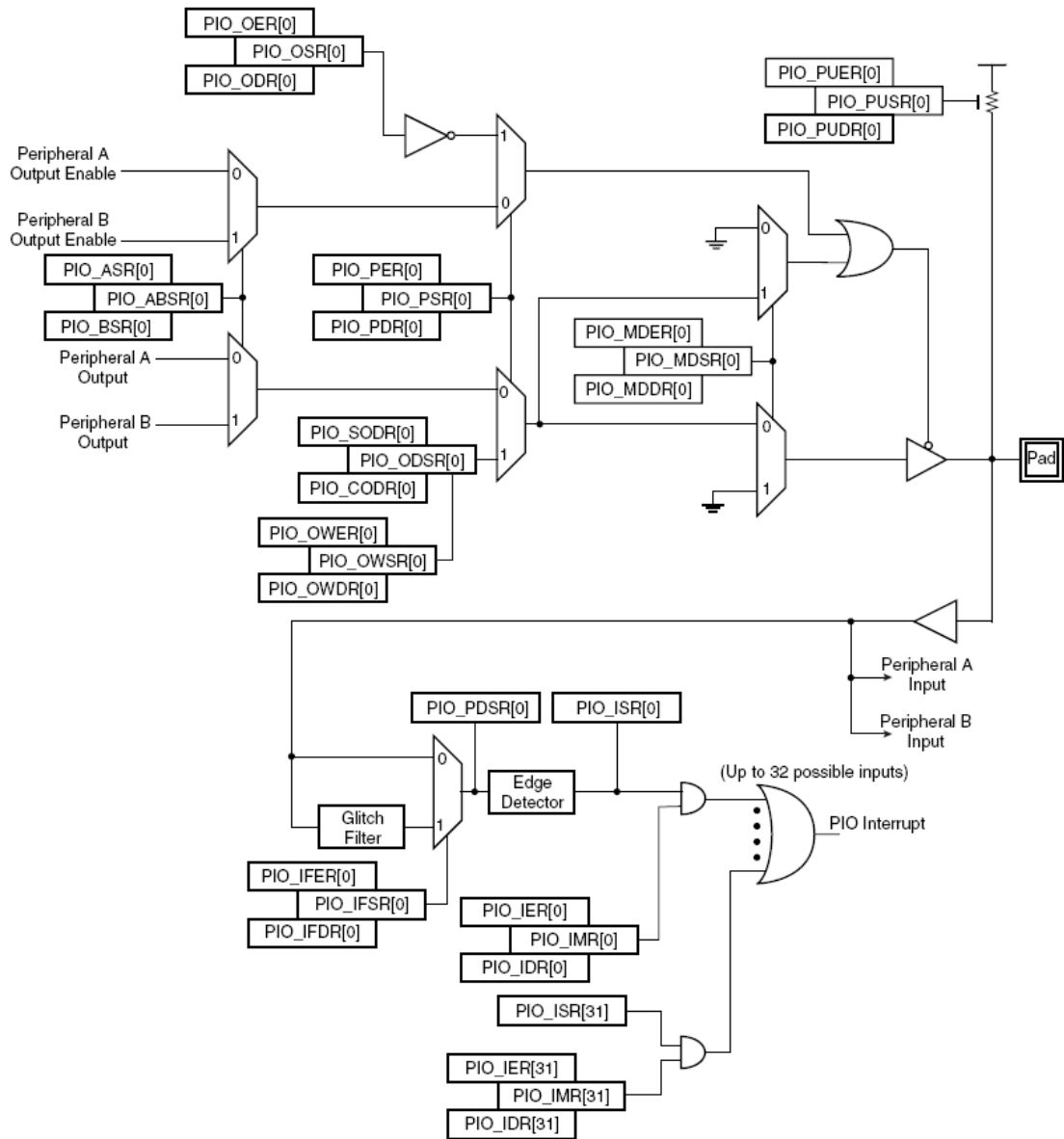
对于中断处理，认为 PIO 控制器是用户外设。这就是说 PIO 控制器中断口线被连接于中断源 2 到 31 之中。参考产品描述中的 PIO 控制器外设标识符来确认分配给 PIO 控制器的中断源。

只有 PIO 控制器时钟被使能时才产生 PIO 控制器中断

### 28.4 功能描述

PIO 控制器有多达 32 个全可编程 I/O 口线。图 28-3 给出了和每个 I/O 关联的大部分控制逻辑。除了 32 个之一可能编索引每个信号都有描述。

图 28-3 I/O 口线控制逻辑



#### 28.4.1 上拉电阻控制

每个 I/O 口线都设计了一个内置上拉电阻。可通过分别写 **PIO\_PUER**（上拉电阻使能寄存器）和 **PIO\_PUDR**（上拉电阻禁用寄存器）来使能或禁用上拉电阻。写入这些寄存器导致 **PIO\_PUSR**（上拉电阻状态寄存器）中对应位置位或清零。读取 **PIO\_PUSR** 为 1 就是上拉电阻被禁用，读取 0 是上拉电阻被使能。

上拉电阻的控制可能和 I/O 口线的配置无关。

复位后，所有的上拉电阻被使能，即，**PIO\_PUSR** 复位值是 0x0。

#### 28.4.2 I/O 口线或外设功能选择

当引脚复用一个或两个外设功能，通过寄存器 **PIO\_PER**（PIO 使能寄存器）和 **PIO\_PDR**（PIO 禁用寄存器）控制功能选项。寄存器 **PIO\_PSR**（PIO 状态寄存器）为置位和清零寄存器的结果，并且指示引脚是由对应外设控制还是由 **PIO** 控制器控制。0 值表示引脚由在 **PIO\_ABSR**（AB 选择状态寄存器）中已选择的对应片上外设控制。1 值表示引脚由 **PIO** 控制器控制。

如果引脚被用作通用 I/O 口线（没有和片上外设复用），则 PIO\_PER 和 PIO\_PDR 无效并且 PIO\_PSR 给对应位返回 1 值。

复位后，通常，I/O 口线由 PIO 控制器控制，即，PIO\_PSR 复位为 1。然而，某些时候，PIO 口线要由外设控制（因为存储器片选口线在复位后必须被置为无效或外部存储器导出时地址口线必须被置为低电平）。因此，PIO\_PSR 的复位值有产品定义，取决于设备的复用。

#### 28.4.3 外设 A 或 B 选择

PIO 控制器在单引脚上提供多达两个外设功能的复用。通过写 PIO\_ASR（A 选择寄存器）和 PIO\_BSR（B 选择寄存器）来执行选择。PIO\_ABSR（AB 选择寄存器）指示当前选择的是哪个外设口线。对每一个引脚，对应位是 0 点平意味着选择外设 A 而对应位是 1 表示选择外设 B。

注意外设口线 A 和 B 的复用仅影响输出口线。外设输入口线总是连接于输入引脚。

复位后，PIO\_ABSR 是 0，因此表示所有的 PIO 口线被分配在外设 A 上。然而，外设 A 通常不驱动引脚，因为 PIO 控制器在 I/O 口线模式复位。不管引脚配置，写入 PIO\_ASR 和 PIO\_BSR 控制 PIO\_ABSR。然而，给引脚分配外设功能时需要写对应的外设选择寄存器(PIO\_ASR 或 PIO\_BSR)还需写 PIO\_PDR。

#### 28.4.4 输出控制

当 I/O 口线分配外设功能时，即，PIO\_PSR 中的对应位是 0，外设控制 I/O 口线的驱动。外设 A 或 B，取决于 PIO\_ABSR 中的值，决定是否驱动引脚。

当 PIO 控制器控制 I/O 口线时，引脚可被配置为驱动，通过写 PIO\_OER（输出使能寄存器）和 PIO\_ODR（输出禁用寄存器）完成。

这些写操作的结果可在 PIO\_OSR 中检测到。当此寄存器中的位是 0，对应 I/O 口线仅被用作输入。当此位是 1 时，对应 I/O 口线由 PIO 控制器控制。

通过写入 PIO\_SODR（置位输出数据寄存器）和 PIO\_CODR（清零输出数据寄存器）可确定驱动 I/O 口线的电平。这些写操作分别置位和清零 PIO\_ODSR（输出数据状态寄存器），表示 I/O 口线上的数据驱动。无论引脚配置为由 PIO 控制器控制还是分配外设功能，写入 PIO\_OER 和 PIO\_ODR 来控制 PIO\_OSR。这使得通过 PIO 控制器优先设置 I/O 口线的配置。

类似的，写入 PIO\_SODR 和 PIO\_CODR 影响 PIO\_ODSR。这对于定义 I/O 口线上的第一级驱动很重要。

#### 28.4.5 同步数据输出

用若干 PIO 控制所有并行总线需要对 PIO\_SODR 和 PIO\_CODR 寄存器执行两个连续的写操作。这将导致不可预期的暂态值。PIO 控制器通过单写访问 PIO\_ODSR（输出数据状态寄存器）提供 PIO 输出的直接控制。仅写 PIO\_OWSR（输出写状态寄存器）未屏蔽的位。通过写入 PIO\_OWER（输出写使能寄存器）置位 PIO\_OWSR 中的屏蔽位并通过写入 PIO\_OWDR（输出写禁用寄存器）清零。

复位后，PIO\_OWSR 复位值为 0x0，所有 I/O 口线上禁用同步数据输出。

#### 28.4.6 多驱动控制（开漏）

通过使用多驱动功件在开漏时独立的编程每个 I/O。此特性允许若干驱动器连接于仅由每个设备置为低电平的 I/O 口线上。通常需要一个外部上拉电阻（或使能一个内部上拉电阻）来保证口线上的高电平。

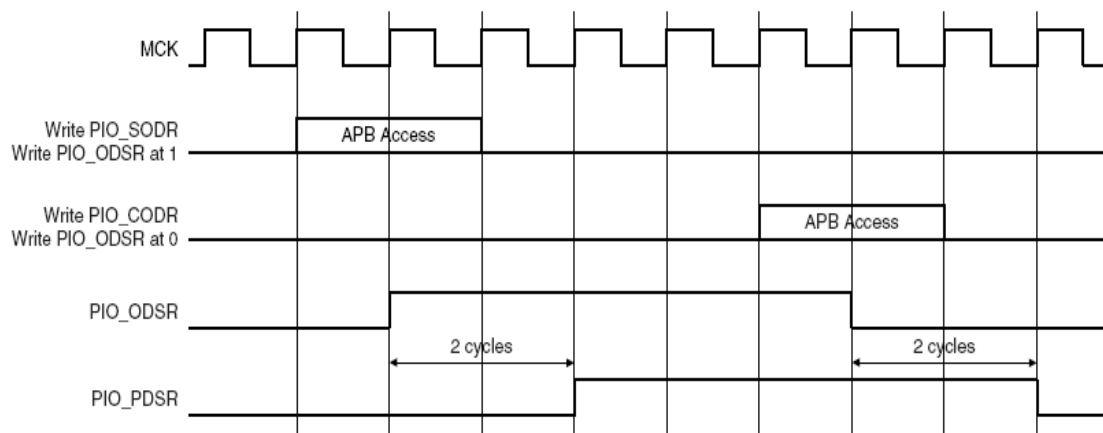
通过 **PIO\_MDER**（多驱动使能寄存器）和 **PIO\_MDDR**（多驱动禁用寄存器）控制多驱动特性。无论 **PIO** 控制器控制 I/O 口线还是分配一个外设功能都可选择多驱动。**PIO\_MDSR**（多驱动状态寄存器）指示配置引脚支持外部驱动器。

复位后，禁用所有引脚上的多驱动特性，即，**PIO\_MDSR** 复位值为 0x0。

#### 28.4.7 输出口线时序

图 28-4 展示了怎样通过写 **PIO\_SODR** 或 **PIO\_CODR**，或通过直接写 **PIO\_ODSR** 驱动输出。最后一种情况只有在 **PIO\_OWSR** 中对应位置位时有效。图 28-4 展示了 **PIO\_PDSR** 中的反馈有效的时序。

图 28-4 输出口线时序



#### 28.4.8 通过 **PIO\_PDSR**（引脚数据状态寄存器）读取每个 I/O 口线上的电平。 寄

寄存器指示 I/O 口线的电平，无论其配置是仅作为输入或由 **PIO** 控制器驱动或由外设驱动。

读取 I/O 口线电平需要使能 **PIO** 控制器的时钟，另外 **PIO\_PDSR** 在禁用时钟的时候读取 I/O 口线上当前电平。

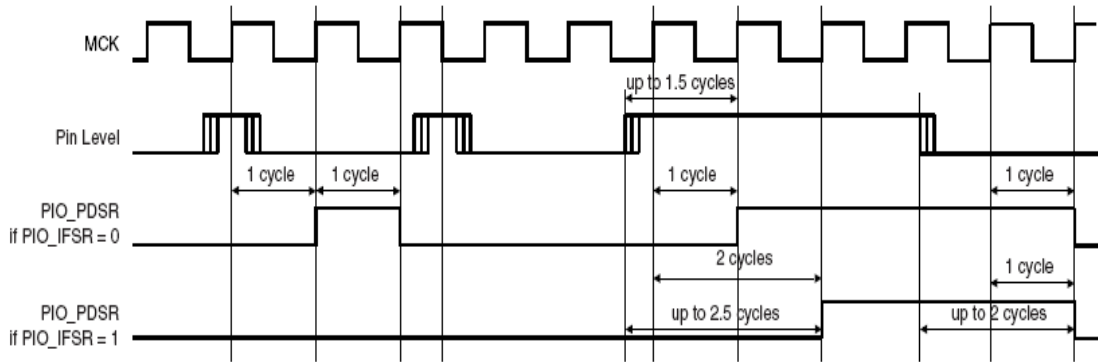
#### 28.4.8 输入毛刺滤波

每个 I/O 口线上可选的输入毛刺滤波器可独立编程。当使能毛刺滤波器时，自动屏蔽小于 1/2 主控时钟周期（**MCK**）的毛刺，而通过大于等于 1 个主控时钟周期的脉冲。对于 1/2 主控时钟周期和 1 个主控时钟周期之间的脉冲取决于其出现的时间。因此对一个可见的脉冲其必超过一个主控时钟周期，而对于确定滤除的毛刺，其持续时间必超过 1/2 主控时钟周期。如果在下降沿到来前引脚电平发生变化，滤波器将引入一个主控时钟周期延迟。如图 28-5 所示。

毛刺滤波器由寄存器组：**PIO\_IFER**（输入滤波器使能寄存器），**PIO\_IFDR**（输入滤波器禁用寄存器）和 **PIO\_IFSR**（输入滤波器状态寄存器）控制。分别写 **PIO\_IFER** 和 **PIO\_IFDR** 将置位和清零 **PIO\_IFSR** 中位。最后一个滤波器使能 I/O 口线上的毛刺滤波器。

当毛刺滤波器被使能，并不修改外设上输入操作。仅对读取 **PIO\_PDSR** 中值和输入变化中断检测起作用。毛刺滤波器需要 **PIO** 控制器时钟使能。

图 28-5 输入毛刺滤波器时序

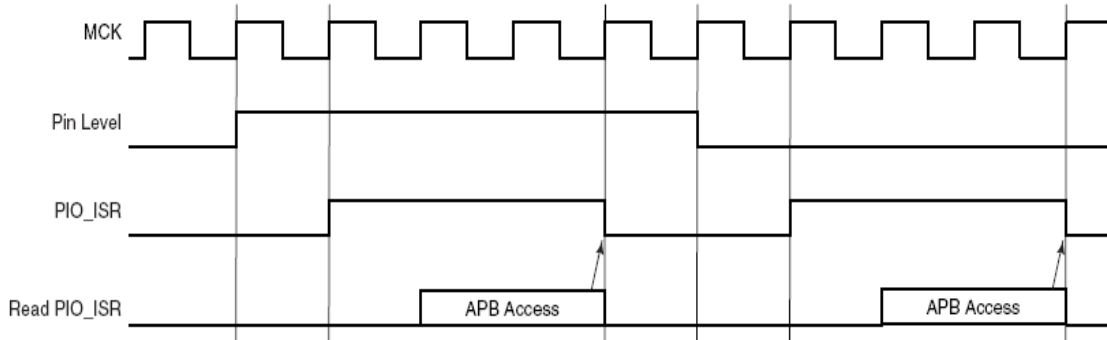


#### 28.4.9 输入变化中断

PIO 控制器可被编程用来发生中断, 当其检测到 I/O 口线上的输入变化时。通过写入 PIO\_IER (中断使能寄存器) 和 PIO\_IDR (中断禁用寄存器) 控制输入变化中断, 两寄存器分别通过置位和清零 PIO\_IMR (中断屏蔽寄存器) 中的对应位来使能和禁用输入变化中断。因为输入变化检测仅有可能通过比较 I/O 口线上输入的两个连续采样来完成, 所以 PIO 控制器时钟必须使能。无论 I/O 口线的配置, 输入变化中断都可用, 即仅配置为输入, 由 PIO 控制器控制或分配外设功能。

当在 I/O 口线上检测到输入变化, PIO\_ISR (中断状态寄存器) 中的对应位置位。如果 PIO\_IMR 中对应位置位, 则激活 PIO 控制器中断口线。32 个通道的中断信号“线或”起来产生一个到高级中断控制器的中断信号。当软件读取 PIO\_ISR 时, 所有中断自动清零。这表明当 PIO\_ISR 被读取时必须处理所有待定的中断。

图 28-6 输入变化中断时序



#### 28.5 I/O 口线编程举例

编程举例如表 28-1 所示, 用于定义以下配置:

- I/O 口线 0-3 上的 4 位输出端口, (应该用单写操作写入), 开漏, 带上拉电阻
- I/O 口线 4-7 上的 4 个输出信号 (例如驱动 LED), 驱动高和低电平, 无上拉电阻
- I/O 口线 8-11 上的 4 个输入信号 (例如读取按钮状态), 带上拉电阻, 毛刺滤波器和输入变化中断
- I/O 口线 12-15 上的 4 个输入信号读取外部设备状态 (轮询, 因此无输入变化中断), 无上拉电阻, 无毛刺

- I/O 口线 16-19 分配为外设 A 功能，带上拉电阻
- I/O 口线 20-23 分配为外设 B 功能，无上拉电阻
- I/O 口线 24-27 分配为带输入变化终端和上拉电阻的外设 A

表 28-1 编程举例

寄存器	写入值
PIO_PER	0x0000 FFFF
PIO_PDR	0x0FFF 0000
PIO_OER	0x0000 00FF
PIO_ODR	0x0FFF FF00
PIO_IFER	0x0000 0F00
PIO_IFDR	0x0FFF F0FF
PIO_SODR	0x0000 0000
PIO_CODR	0x0FFF FFFF
PIO_IER	0x0F00 0F00
PIO_IDR	0x00FF F0FF
PIO_MDER	0x0000 000F
PIO_MDDR	0x0FFF FFF0
PIO_PUDR	0x00F0 00F0
PIO_PUER	0x0F0F FF0F
PIO_ASR	0x0F0F 0000
PIO_BSR	0x00F0 0000
PIO_OWER	0x0000 000F
PIO_OWDR	0x0FFF FFF0

## 28.6 用户接口

PIO 控制器控制的每个 I/O 口线和每个 PIO 控制器用户接口寄存器一位相关。每个寄存器 32 位宽。如果未定义并行 I/O 口线，写入对应位无效。为定义位 读为 0。如果 I/O 口线未和任何外设复用，PIO 控制器和 PIO\_PSR 控制 I/O 口线系统的返回 1。

表 28-2 寄存器映射

偏移量	寄存器	名称	访问类型	复位值
0x0000	PIO 使能寄存器	PIO_PER	只写	-
0x0004	PIO 禁用寄存器	PIO_PDR	只写	-
0x0008	PIO 状态寄存器	PIO_PSR	只读	(1)
0x000C	保留			
0x0010	输出使能寄存器	PIO_OER	只写	-
0x0014	输出禁用寄存器	PIO_ODR	只写	-
0x0018	输出状态寄存器	PIO_OSR	只读	0x0000 0000
0x001C	保留			
0x0020	毛刺输入滤波器使能寄存器	PIO_IFER	只写	-
0x0024	毛刺输入滤波器禁用寄存器	PIO_IFDR	只写	-
0x0028	毛刺输入滤波器状态寄存器	PIO_IFSR	只读	0x0000 0000
0x002C	保留			

0x0030	置位输出数据寄存器	PIO_SODR	只写	-
0x0034	清零输出数据寄存器	PIO_CODR	只写	
0x0038	输出数据状态寄存器	PIO_ODSR	只读或读写	-
0x003C	引脚数据状态寄存器	PIO_PDSR	只读	(3)
0x0040	中断使能寄存器	PIO_IER	只写	-
0x0044	中断禁用寄存器	PIO_IDR	只写	-
0x0048	中断屏蔽寄存器	PIO_IMR	只读	0x0000 0000
0x004C	中断状态寄存器	PIO_ISR	只读	0x0000 0000
0x0050	多驱动使能寄存器	PIO_MDER	只写	-
0x0054	多驱动禁用寄存器	PIO_MDDR	只写	-
0x0058	多驱动状态寄存器	PIO_MDSR	只读	0x0000 0000
0x005C	保留			
0x0060	上拉电阻禁用寄存器	PIO_PUDR	只写	-
0x0064	上拉电阻使能寄存器	PIO_PUER	只写	-
0x0068	焊盘上拉阻抗状态寄存器	PIO_PUSR	只读	0x0000 0000
0x006C	保留			
0x0070	外设 A 选择寄存器	PIO_ASR	只写	-
0x0074	外设 B 选择寄存器	PIO_BSR	只写	-
0x0078	AB 状态寄存器	PIO_ABSR	只读	0x0000 0000
0x007C- 0x009C	保留			
0x00A0	输出写使能	PIO_OWER	只写	-
0x00A4	输出写禁用	PIO_OWDR	只写	-
0x00A8	输出写状态寄存器	PIO_OWSR	只读	0x0000 0000
0x00AC	保留			

注意：1. PIO\_PSR 的复位值取决于产品

2. PIO\_ODSR 是只读或读写取决于 PIO\_OWSR I/O 口线

3. PIO\_PDSR 的复位值取决于 I/O 口线上的电平。读取 I/O 口线电平需要使能 PIO 控制器，另外 PIO\_PDSR 在时钟禁用的时候读取 I/O 口线上当前电平

4. PIO\_ISR 复位值为 0x0。然而，首次读取寄存器可能读取一个不同的值，因为可能发生输入变化。

5. 仅此系列寄存器通过对第一个寄存器写 1 清零状态，并通过对第二个寄存器写 1 置位状态。

### 28.6.1 PIO 控制器 PIO 使能寄存器

名称: PIO\_PER

访问类型: 只写

31	30	29	28	27	26	25	24
P31	P30	P29	P28	P27	P26	P25	P24
23	22	21	20	19	18	17	16
P23	P22	P21	P20	P19	P18	P17	P16
15	14	13	12	11	10	9	8
P15	P14	P13	P12	P11	P10	P9	P8
7	6	5	4	3	2	1	0
P7	P6	P5	P4	P3	P2	P1	P0

- P0-P31: PIO 使能

0=无效

1=使能 PIO 来控制对应引脚（禁用引脚的外设控制）

### 28.6.2 P0-P31: PIO 禁用寄存器

名称: PIO\_PDR

访问类型: 只写

31	30	29	28	27	26	25	24
P31	P30	P29	P28	P27	P26	P25	P24
23	22	21	20	19	18	17	16
P23	P22	P21	P20	P19	P18	P17	P16
15	14	13	12	11	10	9	8
P15	P14	P13	P12	P11	P10	P9	P8
7	6	5	4	3	2	1	0
P7	P6	P5	P4	P3	P2	P1	P0

- P0-P31: PIO 禁用

0=无效

1=禁用 PIO 控制对应引脚（使能引脚的外设控制）

### 28.6.3 PIO 控制器 PIO 状态寄存器

名称: PIO\_PSR

访问类型: 只读

31	30	29	28	27	26	25	24
P31	P30	P29	P28	P27	P26	P25	P24
23	22	21	20	19	18	17	16
P23	P22	P21	P20	P19	P18	P17	P16
15	14	13	12	11	10	9	8
P15	P14	P13	P12	P11	P10	P9	P8
7	6	5	4	3	2	1	0
P7	P6	P5	P4	P3	P2	P1	P0

- P0-P31: PIO 状态

0=对应 I/O 口线上的 PIO 无效（外设有效）

1=对应 I/O 口线上的 PIO 有效（外设无效）

### 28.6.4 PIO 控制器输出使能寄存器

名称: PIO\_OER

访问类型：只写

31	30	29	28	27	26	25	24
P31	P30	P29	P28	P27	P26	P25	P24
23	22	21	20	19	18	17	16
P23	P22	P21	P20	P19	P18	P17	P16
15	14	13	12	11	10	9	8
P15	P14	P13	P12	P11	P10	P9	P8
7	6	5	4	3	2	1	0
P7	P6	P5	P4	P3	P2	P1	P0

● P0-P31：输出使能

0=无效

1=使能 I/O 口线上的输出

28.6.5 PIO 控制器输出禁用寄存器

名称：PIO\_ODR

访问类型：只写

31	30	29	28	27	26	25	24
P31	P30	P29	P28	P27	P26	P25	P24
23	22	21	20	19	18	17	16
P23	P22	P21	P20	P19	P18	P17	P16
15	14	13	12	11	10	9	8
P15	P14	P13	P12	P11	P10	P9	P8
7	6	5	4	3	2	1	0
P7	P6	P5	P4	P3	P2	P1	P0

● P0-P31：输出禁用

0=无效

1=禁用 I/O 口线上的输出

28.6.6 PIO 控制器输出状态寄存器

名称：PIO\_OSR

访问类型：只读

31	30	29	28	27	26	25	24
P31	P30	P29	P28	P27	P26	P25	P24
23	22	21	20	19	18	17	16
P23	P22	P21	P20	P19	P18	P17	P16
15	14	13	12	11	10	9	8
P15	P14	P13	P12	P11	P10	P9	P8
7	6	5	4	3	2	1	0
P7	P6	P5	P4	P3	P2	P1	P0

● P0-P31：输出状态

0=I/O 口线是一个纯输入

1=I/O 口线是已使能的输出

28.6.7 PIO 控制器输入滤波器使能寄存器

名称：PIO\_IFER

访问类型：只写

31	30	29	28	27	26	25	24
P31	P30	P29	P28	P27	P26	P25	P24
23	22	21	20	19	18	17	16
P23	P22	P21	P20	P19	P18	P17	P16
15	14	13	12	11	10	9	8
P15	P14	P13	P12	P11	P10	P9	P8
7	6	5	4	3	2	1	0
P7	P6	P5	P4	P3	P2	P1	P0

● P0-P31: 输入滤波器使能

0=无效

1=使能 I/O 口线上的输入毛刺滤波器

28.6.8 PIO 控制器输入滤波器禁用寄存器

名称: PIO\_IFDR

访问类型: 只写

31	30	29	28	27	26	25	24
P31	P30	P29	P28	P27	P26	P25	P24
23	22	21	20	19	18	17	16
P23	P22	P21	P20	P19	P18	P17	P16
15	14	13	12	11	10	9	8
P15	P14	P13	P12	P11	P10	P9	P8
7	6	5	4	3	2	1	0
P7	P6	P5	P4	P3	P2	P1	P0

● P0-P31: 输入滤波器禁用

0=无效

1=禁用 I/O 口线上的输入毛刺滤波器

28.6.9 PIO 控制器输入滤波器状态寄存器

名称: PIO\_IFSR

访问类型: 只读

31	30	29	28	27	26	25	24
P31	P30	P29	P28	P27	P26	P25	P24
23	22	21	20	19	18	17	16
P23	P22	P21	P20	P19	P18	P17	P16
15	14	13	12	11	10	9	8
P15	P14	P13	P12	P11	P10	P9	P8
7	6	5	4	3	2	1	0
P7	P6	P5	P4	P3	P2	P1	P0

● P0-P31: 输入滤波器状态

0=禁用 I/O 口线上的输入毛刺滤波器

1=使能 I/O 口线上的输入毛刺滤波器

28.6.10 PIO 控制器置位输出数据寄存器

名称: PIO\_SODR

访问类型: 只写

31	30	29	28	27	26	25	24
P31	P30	P29	P28	P27	P26	P25	P24
23	22	21	20	19	18	17	16
P23	P22	P21	P20	P19	P18	P17	P16
15	14	13	12	11	10	9	8
P15	P14	P13	P12	P11	P10	P9	P8
7	6	5	4	3	2	1	0
P7	P6	P5	P4	P3	P2	P1	P0

● P0-P31: 置位输出数据

0=无效

1=置位 I/O 口线上驱动的数据

28.6.11 PIO 控制器清零输出数据寄存器

名称: PIO\_CODR

访问类型: 只写

31	30	29	28	27	26	25	24
P31	P30	P29	P28	P27	P26	P25	P24
23	22	21	20	19	18	17	16
P23	P22	P21	P20	P19	P18	P17	P16
15	14	13	12	11	10	9	8
P15	P14	P13	P12	P11	P10	P9	P8
7	6	5	4	3	2	1	0
P7	P6	P5	P4	P3	P2	P1	P0

● P0-P31: 置位输出数据

0=无效

1=清零 I/O 口线上驱动的数据

28.6.12 PIO 控制器输出数据状态寄存器

名称: PIO\_ODSR

访问类型: 只读或读写

31	30	29	28	27	26	25	24
P31	P30	P29	P28	P27	P26	P25	P24
23	22	21	20	19	18	17	16
P23	P22	P21	P20	P19	P18	P17	P16
15	14	13	12	11	10	9	8
P15	P14	P13	P12	P11	P10	P9	P8
7	6	5	4	3	2	1	0
P7	P6	P5	P4	P3	P2	P1	P0

● P0-P31: 输出数据状态

0=I/O 口线上驱动的数据是 0

1=I/O 口线上驱动的数据是 1

28.6.13 PIO 控制器引脚数据状态寄存器

名称: PIO\_PDSR

访问类型: 只读

31	30	29	28	27	26	25	24
P31	P30	P29	P28	P27	P26	P25	P24
23	22	21	20	19	18	17	16
P23	P22	P21	P20	P19	P18	P17	P16
15	14	13	12	11	10	9	8
P15	P14	P13	P12	P11	P10	P9	P8
7	6	5	4	3	2	1	0
P7	P6	P5	P4	P3	P2	P1	P0

● P0-P31: 输出数据状态

0=I/O 口线是 0 电平

1=I/O 口线是 1 电平

28.6.14 PIO 控制器中断使能寄存器

名称: PIO\_IER

访问类型: 只写

31	30	29	28	27	26	25	24
P31	P30	P29	P28	P27	P26	P25	P24
23	22	21	20	19	18	17	16
P23	P22	P21	P20	P19	P18	P17	P16
15	14	13	12	11	10	9	8
P15	P14	P13	P12	P11	P10	P9	P8
7	6	5	4	3	2	1	0
P7	P6	P5	P4	P3	P2	P1	P0

● P0-P31: 输入变化中断使能

0=无效

1=使能 I/O 口线上的输入变化中断

28.6.15 PIO 控制器中断禁用寄存器

名称: PIO\_IDR

访问类型: 只写

31	30	29	28	27	26	25	24
P31	P30	P29	P28	P27	P26	P25	P24
23	22	21	20	19	18	17	16
P23	P22	P21	P20	P19	P18	P17	P16
15	14	13	12	11	10	9	8
P15	P14	P13	P12	P11	P10	P9	P8
7	6	5	4	3	2	1	0
P7	P6	P5	P4	P3	P2	P1	P0

● P0-P31: 输入变化中断禁用

0=无效

1=禁用 I/O 口线上的输入变化中断

28.6.16 PIO 控制器中断屏蔽寄存器

名称: PIO\_IMR

访问类型: 只读

31	30	29	28	27	26	25	24
P31	P30	P29	P28	P27	P26	P25	P24
23	22	21	20	19	18	17	16
P23	P22	P21	P20	P19	P18	P17	P16
15	14	13	12	11	10	9	8
P15	P14	P13	P12	P11	P10	P9	P8
7	6	5	4	3	2	1	0
P7	P6	P5	P4	P3	P2	P1	P0

● P0-P31: 输入变化中断屏蔽

0=禁用 I/O 口线上的输入变化中断

1=使能 I/O 口线上的输入变化中断

### 28.6.17 PIO 控制器中断状态寄存器

名称: PIO\_ISR

访问类型: 只读

31	30	29	28	27	26	25	24
P31	P30	P29	P28	P27	P26	P25	P24
23	22	21	20	19	18	17	16
P23	P22	P21	P20	P19	P18	P17	P16
15	14	13	12	11	10	9	8
P15	P14	P13	P12	P11	P10	P9	P8
7	6	5	4	3	2	1	0
P7	P6	P5	P4	P3	P2	P1	P0

● P0-P31: 输入变化中断状态

0=上次读取 PIO\_ISR 后或复位后, I/O 口线上未检测到输入变化

1=上次读取 PIO\_ISR 后或复位后, I/O 口线上至少检测到一次输入变化

### 28.6.18 PIO 多驱动使能寄存器

名称: PIO\_MDER

访问类型: 只写

31	30	29	28	27	26	25	24
P31	P30	P29	P28	P27	P26	P25	P24
23	22	21	20	19	18	17	16
P23	P22	P21	P20	P19	P18	P17	P16
15	14	13	12	11	10	9	8
P15	P14	P13	P12	P11	P10	P9	P8
7	6	5	4	3	2	1	0
P7	P6	P5	P4	P3	P2	P1	P0

● P0-P31: 多驱动使能

0=无效

1=使能 I/O 口线上的多驱动

### 28.6.19 PIO 多驱动禁用寄存器

名称: PIO\_MDDR

访问类型: 只写

31	30	29	28	27	26	25	24
P31	P30	P29	P28	P27	P26	P25	P24
23	22	21	20	19	18	17	16
P23	P22	P21	P20	P19	P18	P17	P16
15	14	13	12	11	10	9	8
P15	P14	P13	P12	P11	P10	P9	P8
7	6	5	4	3	2	1	0
P7	P6	P5	P4	P3	P2	P1	P0

● P0-P31: 多驱动禁用

0=无效

1=禁用 I/O 口线上的多驱动

### 28.6.20 PIO 多驱动状态寄存器

名称: PIO\_MDSR

访问类型: 只读

31	30	29	28	27	26	25	24
P31	P30	P29	P28	P27	P26	P25	P24
23	22	21	20	19	18	17	16
P23	P22	P21	P20	P19	P18	P17	P16
15	14	13	12	11	10	9	8
P15	P14	P13	P12	P11	P10	P9	P8
7	6	5	4	3	2	1	0
P7	P6	P5	P4	P3	P2	P1	P0

● P0-P31: 多驱动状态

0=禁用 I/O 口线上的多驱动。以高低电平驱动引脚。

1=使能 I/O 口线上的多驱动。仅以低电平驱动引脚

28.6.21 PIO 上拉电阻禁用寄存器

名称: PIO\_PUDR

访问类型: 只写

31	30	29	28	27	26	25	24
P31	P30	P29	P28	P27	P26	P25	P24
23	22	21	20	19	18	17	16
P23	P22	P21	P20	P19	P18	P17	P16
15	14	13	12	11	10	9	8
P15	P14	P13	P12	P11	P10	P9	P8
7	6	5	4	3	2	1	0
P7	P6	P5	P4	P3	P2	P1	P0

● P0-P31: 禁用上拉电阻

0=无效

1=禁用 I/O 口线上的上拉电阻寄存器

28.6.22 PIO 上拉电阻使能寄存器

名称: PIO\_PUER

访问类型: 只写

31	30	29	28	27	26	25	24
P31	P30	P29	P28	P27	P26	P25	P24
23	22	21	20	19	18	17	16
P23	P22	P21	P20	P19	P18	P17	P16
15	14	13	12	11	10	9	8
P15	P14	P13	P12	P11	P10	P9	P8
7	6	5	4	3	2	1	0
P7	P6	P5	P4	P3	P2	P1	P0

● P0-P31: 使能上拉电阻

0=无效

1=使能 I/O 口线上的上拉电阻寄存器

28.6.23 PIO 上拉电阻状态寄存器

名称: PIO\_PUSR

访问类型: 只读

31	30	29	28	27	26	25	24
P31	P30	P29	P28	P27	P26	P25	P24
23	22	21	20	19	18	17	16
P23	P22	P21	P20	P19	P18	P17	P16
15	14	13	12	11	10	9	8
P15	P14	P13	P12	P11	P10	P9	P8
7	6	5	4	3	2	1	0
P7	P6	P5	P4	P3	P2	P1	P0

● P0-P31: 上拉电阻状态

0=使能 I/O 口线上的上拉电阻

1=禁用 I/O 口线上的上拉电阻

28.6.24 PIO 外设 A 选择寄存器

名称: PIO\_ASR

访问类型: 只写

31	30	29	28	27	26	25	24
P31	P30	P29	P28	P27	P26	P25	P24
23	22	21	20	19	18	17	16
P23	P22	P21	P20	P19	P18	P17	P16
15	14	13	12	11	10	9	8
P15	P14	P13	P12	P11	P10	P9	P8
7	6	5	4	3	2	1	0
P7	P6	P5	P4	P3	P2	P1	P0

● P0-P31: 外设 A 选择

0=无效

1=分配 I/O 口线为外设 A 功能

28.6.25 PIO 外设 B 选择寄存器

名称: PIO\_BSR

访问类型: 只写

31	30	29	28	27	26	25	24
P31	P30	P29	P28	P27	P26	P25	P24
23	22	21	20	19	18	17	16
P23	P22	P21	P20	P19	P18	P17	P16
15	14	13	12	11	10	9	8
P15	P14	P13	P12	P11	P10	P9	P8
7	6	5	4	3	2	1	0
P7	P6	P5	P4	P3	P2	P1	P0

● P0-P31: 外设 B 选择

0=无效

1=分配 I/O 口线为外设 B 功能

28.6.26 PIO 外设 A B 状态寄存器

名称: PIO\_ABSR

访问类型: 只读

31	30	29	28	27	26	25	24
P31	P30	P29	P28	P27	P26	P25	P24
23	22	21	20	19	18	17	16
P23	P22	P21	P20	P19	P18	P17	P16
15	14	13	12	11	10	9	8
P15	P14	P13	P12	P11	P10	P9	P8
7	6	5	4	3	2	1	0
P7	P6	P5	P4	P3	P2	P1	P0

● P0-P31: 外设 A B 状态

0=I/O 口线分配为外设 A

1=I/O 口线分配为外设 B

28.6.27 PIO 输出写使能寄存器

名称: PIO\_OWER

访问类型: 只写

31	30	29	28	27	26	25	24
P31	P30	P29	P28	P27	P26	P25	P24
23	22	21	20	19	18	17	16
P23	P22	P21	P20	P19	P18	P17	P16
15	14	13	12	11	10	9	8
P15	P14	P13	P12	P11	P10	P9	P8
7	6	5	4	3	2	1	0
P7	P6	P5	P4	P3	P2	P1	P0

● P0-P31: 输出写使能

0=无效

1=对 I/O 口线使能写 PIO\_ODSR

28.6.28 PIO 输出写禁用寄存器

名称: PIO\_OWDR

访问类型: 只写

31	30	29	28	27	26	25	24
P31	P30	P29	P28	P27	P26	P25	P24
23	22	21	20	19	18	17	16
P23	P22	P21	P20	P19	P18	P17	P16
15	14	13	12	11	10	9	8
P15	P14	P13	P12	P11	P10	P9	P8
7	6	5	4	3	2	1	0
P7	P6	P5	P4	P3	P2	P1	P0

● P0-P31: 输出写禁用

0=无效

1=对禁用 I/O 口线写 PIO\_ODSR

28.6.29 PIO 输出写状态寄存器

名称: PIO\_OWSR

访问类型: 只读

31	30	29	28	27	26	25	24
P31	P30	P29	P28	P27	P26	P25	P24
23	22	21	20	19	18	17	16
P23	P22	P21	P20	P19	P18	P17	P16
15	14	13	12	11	10	9	8
P15	P14	P13	P12	P11	P10	P9	P8
7	6	5	4	3	2	1	0
P7	P6	P5	P4	P3	P2	P1	P0

● P0-P31: 输出写状态

0=写入 PIO\_ODSR 不影响 I/O 口线

1=写入 PIO\_ODSR 影响 I/O 口线



**Educate Different** 

Powered by Team Mcuzone

QQ:8204136

Website: [www.mcuzone.com](http://www.mcuzone.com)

2008



[www.mcuzone.com](http://www.mcuzone.com)